

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 3 月 13 日 (13.03.2003)

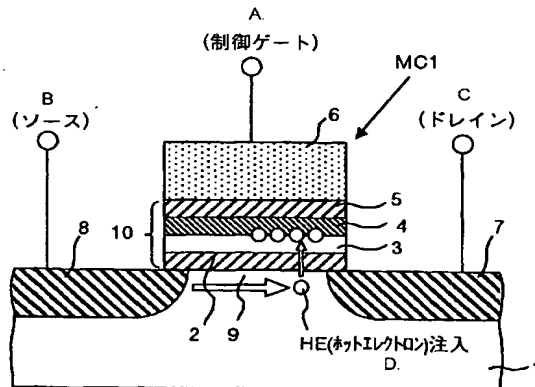
PCT

(10) 国際公開番号
WO 03/021666 A1

- (51) 国際特許分類: H01L 21/8247, (SHUKURI,Shoji) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内 Tokyo (JP).
29/788, 29/792, 27/115, G11C 16/04
- (21) 国際出願番号: PCT/JP02/06710
- (22) 国際出願日: 2002 年 7 月 3 日 (03.07.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2001-257698 2001 年 8 月 28 日 (28.08.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI,LTD) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目 6 番地 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 宿利 章二
- (74) 代理人: 玉村 静世 (TAMAMURA,Shizuyo); 〒101-0052 東京都千代田区神田小川町 2 丁目 1 0 番地 新山城ビル 4 2 号 Tokyo (JP).
- (81) 指定国 (国内): CN, KR, SG, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: NONVOLATILE STORAGE DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 不揮発性記憶素子及び半導体集積回路



A...(CONTROL GATE)
B...(SOURCE)
C...(DRAIN)
D...HE(HOT ELECTRON) INJECTION

(57) Abstract: A channel region (9) between a source region (8) and a drain region (7) is overlaid with a silicon oxide film (2), polysilicon oxide film (3), silicon nitride film (4), silicon oxide film (5), and gate electrode (6). The polysilicon film and silicon nitride film constitute an interface state at the tunnel emission side closer to the oxide film (2). The interface state is made to serve mainly to hold charge for information storage to enable thinning of the silicon nitride film. Even an electron emission action such as erasure by tunneling from a nonvolatile storage device comprising a silicon nitride film to hold charge prevents the situation that unconsumable electrons from remaining in a gate insulation film. Erasure by hot hole injection is dispensed with.

[続葉有]



(57) 要約:

ソース領域（８）とドレイン領域（７）の間のチャネル領域（９）上に、シリコン酸化膜（２）、ポリシリコン膜（３）、シリコン窒化膜（４）、シリコン酸化膜（５）、ゲート電極（６）を形成する。トンネル放出側の酸化膜（２）寄りにポリシリコン膜とシリコン窒化膜による界面準位を形成し、これに情報記憶のための電荷保持の主体を担わせ、シリコン窒化膜の薄膜化を可能にした。シリコン窒化膜を電荷保持に用いる不揮発性記憶素子に対する消去動作のような電子放出動作をトンネルによって行ってもゲート絶縁膜に電子が不消耗に残存する事態を阻止することができる。ホットホール注入による消去を要しない。

明 細 書

不揮発性記憶素子及び半導体集積回路

5 技術分野

本発明は、電氣的に消去及び書き込み可能な不揮発性記憶素子、そして当該不揮発性記憶素子を有する半導体集積回路に関し、例えば非導電性の電荷トラップ膜を情報の保持領域として使用する不揮発性メモリ、更にはそのような不揮発性メモリをオンチップで備えるマイクロコンピュータもしくはデータプロセッサ等に適用して有効な技術に関する。

背景技術

近年、データやプログラム構成するデータを記憶させるメモリ装置として、記憶するデータを所定の単位で一括して電氣的に消去可能であり、かつ、データを電氣的に書き込み可能な不揮発性記憶装置とされるフラッシュEEPROM（以下、フラッシュメモリという）が注目を集めている。フラッシュメモリは、電氣的に消去及び書き込み可能な不揮発性記憶素子によってメモリセルが構成されており、一旦メモリセルに書き込まれたデータやプログラムを消去し、新たなデータやプログラムをメモリセルへ再度書き込み（プログラミング）する事が可能である。

従来、フラッシュメモリの電荷蓄積領域は、ポリシリコン膜から成り、電氣的に周囲とは絶縁されたフローティングゲート内に電子を蓄積することにより行われていた。この電子蓄積動作、いわゆる書込み動作は、ホットエレクトロン注入が一般的であり、蓄積された電子をフローティングゲート外へ放出する消去動作は、ゲート酸化膜を通過するトンネル電流により行われている。書込みと消去を繰り返すと、ゲート酸化膜の

内部にトラップ準位が形成され、基板とゲート酸化膜の界面のトラップ準位が増加する。特に、前者は電荷の保持特性、すなわち書換え後のリテンション特性を劣化させるという本質的な問題点があった。

上記問題点を解消する方法として、近年、EEPROMの電荷蓄積を非導電性の電荷トラップ膜を使用する方式が提案されている。例えば、
5 米国特許公報第5,768,192号、米国特許公報第5,966,603号、米国特許公報第6,011,725号、米国特許公報第6,180,538号、及び、B.Eitanらによる”Can NROM, a 2-bit, Trapping Storage NVM Cell, Give a Real Challenge to Floating Gate Cell”,
10 International Conference on Solid State Devices and Materials, Tokyo, 1999、に開示されている。例えば、米国特許公報第5,768,192号には、第24図にその断面図を示したようにシリコン酸化膜等の絶縁膜132、134で挟まれたシリコン窒化膜133、いわゆるONO(Oxide/Nitride/Oxide)構造の積層膜をゲート絶縁膜とし、ソース
15 137に0V、ドレイン136とコントロールゲート135に適当な正電圧を印加してトランジスタをオンさせ、ドレイン136の近傍で発生するホットエレクトロンを注入し、上記シリコン窒化膜133中へ電子をトラップさせることにより書込みを行う方式である。この電荷蓄積方式は、連続した導電膜であるポリシリコン膜に電荷蓄積を行う方式に比較すると、シリコン窒化膜133中の電子トラップが非連続で離散的であるため、酸化膜132の一部にピンホール等の電荷漏洩パスが発生した場合においても、蓄積された電荷のすべてが消失されることがなく、
20 リテンション特性が本質的に強固であるという特徴をもっている。

また、米国特許公報第6,011,725号には、第25図にその書込み方式を示したように、ホットエレクトロン注入の局在性を利用して、
25 ドレイン136近傍とソース137の近傍との2個所の電荷蓄積を独

立して制御することにより、2ビットの情報を1メモリセル内で実現する、いわゆる多値セル技術を開示している。

さらに、米国特許公報第5,966,603号には、ONO膜の形成方法、例えば、基板上にON積層膜を形成した後、シリコン窒化膜上部を酸化することによりONO構造を形成すること、また、基板上にON
5 ONO積層膜を形成した後に酸化工程を追加することによりシリコン窒化膜中に酸素を導入して、メモリセルのリテンション特性を向上すること、が開示されている。また、米国特許公報第6,180,538号には、短時間気相成長法(Rapid Thermal Chemical Vapor Deposition)により、
10 ONO膜を形成する方法、酸化膜の堆積温度が700～800℃であること、酸化膜の膜厚が5～15nmであることが記述されている。

上記公知例では、シリコン窒化膜中にトラップされた電子を引抜く消去動作は、基板、ソース、あるいはドレイン側へのトンネル放出によるか、ソース、あるいはドレイン近傍からのホットホール注入による電荷
15 の中和によって行われている。例えば、B.Eitanらによる”Can NROM, a 2-bit, Trapping Storage NVM Cell, Give a Real Challenge to Floating Gate Cell”, International Conference on Solid State Devices and Materials, Tokyo, 1999、によれば、ドレインへ7V、コントロールゲートへ-3V、ソースへ3Vを印加し、ドレイン近傍の基
20 板内で発生するバンド間トンネル現象によるホットホールを、シリコン窒化膜中へ注入することにより消去動作を行っている。

上述した動作方式が採用された従来のメモリセルにおいては、第26図に模式的に例示されるように、幾つかの問題点のあることが本発明者により見出された。

25 第1の問題点は、ホットホール注入による消去動作において、消去動作で注入されるホールは、酸化膜132中を通過するため、一旦酸化膜

1 3 2 中で捕獲されると、ホールの移動度が小さいために、それがホールトラップとなって、書換え後のリテンション特性、即ち電荷保持特性を劣化させる要因となることである。

第 2 の問題点は、ホットホール注入による消去動作において、消去動作でのホール注入は、半導体基板 1 3 1 と酸化膜 1 3 2 との界面にトラップ準位を発生させ、サブスレッショルド特性を著しく劣化させ、オフ・リーク電流を増加させる。これは、消去状態のメモリセルの記憶情報を読み出す際のドレインリーク電流を増加させ、読み出しデータの反転不良、いわゆる読み出し不良を引起す原因となる。

第 3 の問題点は、ホットホール注入による問題点を解消するために電子をトンネル電流で基板側へ放出しようとしても、窒化膜に捕獲されている電荷の分布中心が基板から離れているので十分な消去が難しい、ということである。要するに、所要の書き込み特性を得るには窒化膜に比較的多くの電子を保持させ、保持された電荷が容易に抜けないように、窒化膜には比較的厚い膜厚を要する。それ故に、トンネル電流による電子の基板放出には限界がある。

第 4 の問題点は、消去動作をホール注入ではなく、トンネル電流による基板 1 3 1 側への電子放出を行おうとするとき、新たに発生すると考えられる問題があることである。例えば、コントロールゲート 1 3 5 へ -10 V 、基板 1 3 1 へ $+10\text{ V}$ を印加して、シリコン窒化膜中へ捕獲された電子を酸化膜 1 3 2 を介したトンネル電流で基板 1 3 1 側へ放出する場合、ドレイン 1 3 6 近傍の電子トラップが存在するシリコン窒化膜領域の直下の酸化膜 1 3 2 中よりも、ソース 1 3 7 近傍の電子トラップが存在しないシリコン窒化膜領域の直下の酸化膜 1 3 2 中へ注入されたホールの残存が顕著となる。この酸化膜中ホールの蓄積量は、書換えを繰り返すにしたがって増大し、ソース 1 3 7 近傍のチャネル領域

のみを、部分的にディブリート状態（閾値電圧がデプレッション状態）としてしまう。この状態は、チャネル長が短くなった状態に対応しており、書換え回数によってメモリセルの諸特性、書込み特性、読み出し電流等が変動することになり、特性バラツキが大きく劣化することになる。

5 本発明の目的は、シリコン窒化膜などの絶縁膜を電荷保持に用いる不揮発性記憶素子に対する消去動作のような電子放出動作をトンネルによって行ってもゲート絶縁膜に電子が不消耗に残存する事態を阻止することができる不揮発性記憶素子及び半導体集積回路を提供することにある。

10 本発明の別の目的は、シリコン窒化膜などの絶縁膜を電荷保持に用いる不揮発性記憶素子に対する消去動作のような電子放出動作をF Nトンネルによって行っても、チャネル領域の一部に片寄って正孔が蓄積して特性劣化を生ずる事態を防止することができる不揮発性記憶素子及び半導体集積回路を提供することにある。

15 本発明の更に別の目的は、シリコン窒化膜などの絶縁膜を電荷保持に用いる不揮発性記憶素子において電子の放出にホットエレクトロン注入を行わなくても済み、これにより、書き換え後の電荷保持特性の劣化、書き換えに起因するサブスレッショルドリーク電流の増加を、抑止若しくは緩和することができる不揮発性記憶素子及び半導体集積回路を提供することにある。

20 本発明のその他の目的は、絶縁性の電荷トラップ膜を電荷蓄積領域として用いる不揮発性メモリセルのチップ占有面積を縮小させることが容易な不揮発性記憶素子を提供することにある。

25 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

- 〔１〕本発明に係る不揮発性記憶素子は、半導体領域（１）に夫々形成されたソース領域（８）、ドレイン領域（７）及びそれらの間のチャネル領域（９）と、前記チャネル領域の上に設けられた第１絶縁膜（２）と、前記第１絶縁膜の上に設けられた半導体膜（３）と、前記半導体膜の上に設けられた第２絶縁膜（４）と、前記第２絶縁膜の上に設けられた第３絶縁膜（５）と、前記第３絶縁膜の上に設けられたゲート電極（６）とを有する。前記第２絶縁膜のトラップ密度は前記第１絶縁膜及び第３絶縁膜の夫々のトラップ密度よりも高い。前記半導体膜と前記第２絶縁膜との界面部のトラップ密度は前記第２絶縁膜のトラップ密度よりも高い。トラップに捕獲された電子は前記第１絶縁膜を介してトンネル放出される。
- 上記不揮発性記憶素子においては、前記半導体膜と前記第２絶縁膜との界面部に形成されるエネルギー準位の深いトラップ（界面トラップ）による電荷保持機能が追加されているから、従来より情報記憶のための電荷保持を担っている第２絶縁膜を薄膜化することができる。薄膜化によっても記憶素子全体として必要な量の電子を保持することは保証される。第２絶縁膜及びその界面部に捕獲された電子をトンネル放出するとき、第２絶縁膜が薄膜化されているので、第２絶縁膜のバルク中のトラップに捕獲されている電子は容易に前記半導体膜に到達し、当該半導体膜及び第１絶縁膜をトンネル電流として流れて放出される。第２絶縁膜と半導体膜の界面部に捕獲されている電子はそのトラップ準位に抗する電界により半導体膜にデトラップされ、デトラップされた電子は半導体膜から第１絶縁膜をトンネル電流として流れて放出される。前記半

導体領域と第2絶縁膜との界面部はトンネル電流を流す第1絶縁膜寄りに形成されているので、そこに捕獲されている電子は前記トンネル放出に際して第2絶縁膜を通過することを要しない。仮にそのような界面準位をゲート電極側に形成して機能させる場合と比べれば、本発明手段は消去動作のような電子放出動作が容易である。

したがって、シリコン窒化膜などの絶縁膜を電荷保持に用いる不揮発性記憶素子に対する消去動作のような電子放出動作をトンネル効果によって行っても第2絶縁膜に電子が不消耗に残存する事態を阻止することができる。

消去動作では、チャネル領域側からのホットホール注入を行う必要がないから、ホットホール注入による問題点をことごとく解消することができる。第1に、チャネル領域上の第1絶縁膜中にホールトラップが発生するのを抑制できる。第2に、チャネル領域と第1絶縁膜との界面準位の発生に起因するサブスレッショルド特性の劣化を生ずることもない。したがって、書き込み特性及び読み出し特性の劣化を防止することができる。更に、サブスレッショルドリークが低減されて低消費電力に寄与する。

さらに、情報記憶の為に主体的に電子を保持する前記半導体膜と前記第2絶縁膜との間の界面部のトラップに捕獲された電子は、絶縁体ではない半導体膜にデトラップされ、デトラップされた電子は半導体膜内で自由電子の如く振る舞う。ホットエレクトロン注入による書き込みではドレイン近傍の界面トラップに電子が捕獲されていても、デトラップされた電子がドレイン近傍に集中せず、ソース近傍の第1絶縁膜にホールが残存することもない。この点でも不揮発性記憶素子における書き込み、読み出しの特性劣化が防止される。

上記不揮発性記憶素子において、電子の注入を行う場合には、例えば、

前記ドレイン領域及び前記ゲート電極に、ソース領域に印加する電位よりも高い電位を印加して、前記チャンネル領域をオンさせ、前記ドレイン領域の近傍で発生するホットエレクトロンにより前記半導体膜と前記第2絶縁膜との界面部及び前記第2絶縁膜に電子を捕獲させる。また、
5 電子のトンネル放出を行う場合、例えば、前記半導体領域に、前記ゲート電極に印加する電位よりも高い電位を印加して、前記半導体膜と前記第2絶縁膜との界面部及び前記第2絶縁膜に捕獲されている電子を、前記第1絶縁膜を介してトンネル電流として引き抜く。

望ましい形態として、前記半導体膜と前記第2絶縁膜との間の界面の
10 トラップ密度は前記第2絶縁膜と前記第3絶縁膜との間の界面部のトラップ密度よりも高いのがよい。また、前記半導体膜の膜厚は前記第2絶縁膜の膜厚よりも薄いのがよい。

一つの具体的な形態として、前記第1絶縁膜をシリコン酸化膜、前記半導体膜をシリコン膜、前記第2絶縁膜をシリコン窒化膜、前記第3絶縁膜をシリコン酸化膜としてよい。また、前記第1絶縁膜をシリコン酸化膜、前記半導体膜をシリコン膜、前記第2絶縁膜を金属酸化膜、前記
15 第3絶縁膜をシリコン酸化膜としてよい。前記シリコン膜はポリシリコン膜である。望ましい形態として、前記ポリシリコン膜は不純物が導入されている。前記ポリシリコン膜に代えて、絶縁膜中にポリシリコン粒子
20 (88) が分散された膜を、前記シリコン膜として採用してもよい。

〔2〕本発明に係る半導体集積回路は、半導体領域(1)に形成されたソース領域(8)とドレイン領域(9)の間のチャンネル領域(9)の上に、第1絶縁膜(2)、前記第1絶縁膜の上に設けられた半導体膜(3)、前記半導体膜の上に設けられた第2絶縁膜(4)、前記第2絶縁膜の上に設けられた第3絶縁膜(5)、及び前記第3絶縁膜の上に設けられた
25 ゲート電極(6)が形成された不揮発性記憶素子を複数個有するメモリ

- アレイト、電子の注入と前記第 1 絶縁膜を介する電子のトンネル放出とにより前記不揮発性記憶素子の閾値電圧を制御するメモリ制御回路とを備える。前記第 2 絶縁膜のトラップ密度は前記第 1 絶縁膜及び第 3 絶縁膜の夫々のトラップ密度よりも高い。前記半導体膜と前記第 2 絶縁膜との界面部トラップ密度は前記第 2 絶縁膜のトラップ密度よりも高い。

この半導体集積回路は不揮発性メモリ、或は不揮発性メモリをオンチップで備えるデータプロセッサなどとされる。この半導体集積回路は前記項目〔1〕で説明した不揮発性記憶素子によって得られる作用効果を奏する。

- 望ましい一形態として、前記ゲート電極が共通化されて延在する方向に隣接する複数の不揮発性記憶素子の半導体膜を、互に一体に形成するのがよい。仮にメモリセル単位で半導体膜を分断する場合には、不揮発性記憶素子間に少なくとも最小加工寸法分の間隔が必要になり、チップ占有面積が増える。この点において、メモリアレイのチップ占有面積低減、もしくは記憶容量増大に寄与することができる。更に、消去動作でデトラップされた電子は複数の不揮発性記憶素子間で共通の半導体膜中を移動でき、デトラップされた電子のトンネル放出を、共通化されたゲート電極単位で行うことにより、不揮発性記憶素子間の消去特性のばらつきを低減することができる。

- 具体的な形態として、前記メモリ制御回路は、電子の注入動作の指示に応答して、ドレイン領域及び前記ゲート電極に、ソース領域に印加する電位よりも高い電位を印加して、前記チャネル領域をオンさせ、前記ドレイン領域の近傍で発生するホットエレクトロンにより前記半導体膜と前記第 2 絶縁膜との界面部及び前記第 2 絶縁膜に電子を捕獲させる。また、前記メモリ制御回路は、電子のトンネル放出動作の指示に応答して、前記半導体領域に、前記ゲート電極に印加する電位よりも高い

電位を印加して、前記半導体膜と前記第 2 絶縁膜との界面部及び前記第 2 絶縁膜に捕獲されている電子を、前記第 1 絶縁膜中を介してトンネル電流として引き抜く。

前記半導体領域は、半導体基板上に形成された第 3 絶縁膜 (4 2) 上に形成してよい。要するに、前記不揮発性記憶素子のデバイス構造として T F T (Thin Film Transistor) 構造を採用することが可能である。このとき、前記半導体領域は例えばシリコン膜で形成すればよい。そこに形成されるソース・ドレイン領域には例えば n 型不純物が導入され、チャンネル領域には例えば p 型不純物が導入される。T F T 構造を採用するときの一つの望ましい形態として、前記第 3 絶縁膜の半導体基板 (4 1) 内に共通ソース配線領域 (5 4) を形成し、前記共通ソース配線領域を、前記第 3 絶縁膜に形成した接続孔 (5 3 H) を介して前記複数個のメモリセルのソース領域に接続する。前記接続孔は、前記第 3 絶縁膜を前記ゲート電極の側壁に形成されたサイドウォールスペーサ (5 2) に対して自己整合的に除去することにより形成することが可能である。

〔3〕上記不揮発性記憶素子はポリシリコン膜等の半導体膜と窒化シリコン膜などの第 2 絶縁膜との界面準位を利用した。別の態様として、チャンネル領域の上の第 1 絶縁膜にシリコン窒化膜を設け、このシリコン窒化膜の第 1 絶縁膜寄りの部分をシリコンリッチな組成とする。具体的には、不揮発性記憶素子は、半導体領域に夫々形成されたソース領域 (8)、ドレイン領域 (7) 及びそれらの間のチャンネル領域 (9) と、前記チャンネル領域の上に設けられた第 1 絶縁膜 (2) と、前記第 1 絶縁膜の上に設けられた第 2 絶縁膜 (9 0) と、前記第 2 絶縁膜の上に設けられた第 3 絶縁膜 (5) と、前記第 3 絶縁膜の上に設けられたゲート電極 (6) とを有する。前記第 2 絶縁膜は第 3 絶縁膜寄り (9 0 B) よりも第 1 絶縁膜寄り (9 0 A) の方が S_i/N の値が大きくされたシリコン窒化膜

である。前記第 2 絶縁膜のトラップ密度は前記第 1 絶縁膜及び第 3 絶縁膜の夫々のトラップ密度よりも高い。トラップに捕獲された電子は前記第 1 絶縁膜を介してトンネル放出される。

5 前記シリコン窒化膜のシリコンリッチな部分 (90 Å) は、前述の項目〔1〕で説明した前記半導体膜 (ポリシリコン膜) と第 2 絶縁膜 (シリコン窒化膜) との界面におけるトラップの機能を代替するものと位置付けることができ、基本的にはそれと同様の作用効果を奏する。

〔4〕上記半導体膜と絶縁膜との界面準位を利用する発明と実質同一観点の発明として、半導体集積回路は、半導体領域のチャネル領域 (9)
10 の上に形成された第 1 絶縁膜 (2) と、前記第 1 絶縁膜の上に形成された中間膜 (3) と、前記中間膜の上に形成された非導電性の電荷トラップ膜 (4) と、前記電荷トラップ膜の上に形成された第 2 絶縁膜 (5) と、前記第 2 絶縁膜の上に形成されたゲート電極 (6) と、を有する不揮発性記憶素子を備える。前記電荷トラップ膜のトラップ密度は、前記
15 第 1 絶縁膜及び第 2 絶縁膜の夫々のトラップ密度よりも高い。前記中間膜と前記電荷トラップ膜との界面部のトラップ密度は、前記電荷トラップ膜と前記第 2 絶縁膜との界面部のトラップ密度より高く、且つ、前記電荷トラップ膜のトラップ密度よりも高い。前記不揮発性記憶素子は、
20 注入された電子を前記トラップに捕獲することで情報の書き込みが行われ、前記トラップに捕獲された電子を前記第 1 絶縁膜を介してトンネル放出させることで情報の消去が行われる。

シリコン窒化膜の一部をシリコンリッチとしてトラップ密度を上げた発明と実質同一観点の発明として、半導体集積回路は、半導体領域のチャネル領域 (9) の上に形成された第 1 絶縁膜 (2) と、前記第 1 絶縁膜の上に形成された第 2 絶縁膜 (90 Å) と、前記第 2 絶縁膜の上に形成された第 3 絶縁膜 (5) と、前記第 3 絶縁膜の上に形成されたゲート
25

電極（６）とを有する不揮発性記憶素子を備える。前記第２絶縁膜のトラップ密度は前記第１絶縁膜及び第３絶縁膜の夫々のトラップ密度よりも高い。前記第２絶縁膜のトラップ密度は第３絶縁膜寄り（９０Ｂ）よりも第１絶縁膜寄り（９０Ａ）の方が高い。前記不揮発性記憶素子は、
5 注入された電子をトラップに捕獲することで情報の書き込みが行われ、トラップに捕獲された電子を前記第１絶縁膜を介してトンネル放出させることで情報の消去が行われる。

〔５〕上記半導体膜と絶縁膜との界面準位を利用する本発明の別の観点による不揮発性記憶素子は、半導体領域に夫々形成されたソース領域
10 （８）、ドレイン領域（７）及びそれらの間のチャネル領域（９）と、前記チャネル領域の上に設けられたゲート絶縁膜（１０）と、前記ゲート絶縁膜の上に設けられたゲート電極（６）とを有する。前記ゲート絶縁膜は、第１絶縁膜（２）、前記第１絶縁膜の上に設けられた半導体膜（３）、前記半導体膜の上に設けられたシリコン窒化膜（４）、及び前
15 記シリコン窒化膜の上に設けられた第２絶縁膜（５）から成る。ホットエレクトロン注入により前記ゲート絶縁膜に捕獲された電子が前記第１絶縁膜を介してトンネル放出可能にされる。

この観点ではトラップ密度について積極的な言及はないが、半導体膜とシリコン窒化膜の組み合わせが明言されているから、その界面で深い
20 界面準位が形成され、当該界面準位はトンネル放出先である半導体領域寄りとされ、これにより、上記同様に、従来より情報記憶のための電荷保持を担っているシリコン窒化膜を薄膜化することができ、消去動作のような電子放出動作をトンネル効果によって行ってもシリコン窒化膜に電子が不消耗に残存する事態を阻止することができる。そして、チャ
25 ネル領域側からのホットホール注入を行う必要がないから、チャネル領域上の第１絶縁膜中にホールトラップが発生するのを抑制でき、チャネ

ル領域と第1絶縁膜との界面準位の発生に起因するサブスレッショルド特性の劣化を生ずることもない。さらに、デトラップされた電子がドレイン近傍に集中せず、ソース近傍の第1絶縁膜にホールが残存することもない。

- 5 上記においてシリコン窒化膜に代えて、5酸化タンタル膜、チタン酸化膜等の、高誘電率の金属酸化膜を採用しても同様である。

- シリコンリッチな部分を有するシリコン窒化膜を利用する本発明の別の観点による不揮発性記憶素子は、半導体領域(1)に夫々形成されたソース領域(8)、ドレイン領域(7)及びそれらの間のチャネル領域(9)と、前記チャネル領域の上に設けられたゲート絶縁膜(10A)と、前記ゲート絶縁膜の上に設けられたゲート電極(6)とを有する。前記ゲート絶縁膜は、第1絶縁膜(2)、前記第1絶縁膜の上に設けられたシリコン窒化膜(90)、前記シリコン窒化膜の上に設けられた第2絶縁膜(5)から成る。前記シリコン窒化膜は第2絶縁膜寄り(90B)よりも第1絶縁膜寄り(90A)の方が S_i/N の値が大きくなる。不揮発性記憶素子は、ホットエレクトロン注入により前記ゲート絶縁膜に捕獲された電子が前記第1絶縁膜を介してトンネル放出可能にされる。この観点においてもトラップ密度について積極的な言及はないが、半導体領域にシリコンリッチな部分を臨ませたシリコン窒化膜を利用することが明言されているから、そのシリコンリッチな部分のトラップ密度が相対的に高くなり、これにより、上記同様の作用効果を奏する。
- 10
15
20

図面の簡単な説明

- 第1図は半導体膜と窒化膜を持つ第1の基本的なメモリセル構造を例示する縦断面図である。
- 25

 第2図は第1図の不揮発性メモリセルの詳細な構造を例示する平面

図である。

第 3 図は第 2 図中の A - A' 断面図である。

第 4 図は第 2 図中の B - B' 断面図である。

5 第 5 図は半導体膜と窒化膜を持つ第 2 の基本的なメモリセル構造を例示する縦断面図である。

第 6 図は半導体膜と窒化膜を持つ第 3 の基本的なメモリセル構造を例示する平面図である。

第 7 図は第 6 図中の C - C' 断面図である。

第 8 図は第 6 図中の D - D' 断面図である。

10 第 9 図は第 3 の基本的なメモリセル構造を有する不揮発性メモリセルを用いたメモリアレイの一部を例示する回路図である。

第 10 図は第 9 図の回路における不揮発性メモリセルの書込み動作の電圧印加状態を例示する回路図である。

15 第 11 図は第 9 図の回路における不揮発性メモリセルの消去動作の電圧印加状態を例示する回路図である。

第 12 図は第 3 の基本的なメモリセル構造を有する不揮発性メモリセルを採用した半導体集積回路の製造方法の最初の製造工程中における不揮発性メモリセルの要部縦断面図である。

20 第 13 図は第 12 図に続く製造工程中における不揮発性メモリセルの要部縦断面図である。

第 14 図は第 13 図に続く製造工程中における不揮発性メモリセルの要部縦断面図である。

第 15 図は第 14 図に続く製造工程中における不揮発性メモリセルの要部縦断面図である。

25 第 16 図は第 15 図に続く製造工程中における不揮発性メモリセルの要部縦断面図である。

第 17 図は第 16 図に続く製造工程中における不揮発性メモリセルの要部縦断面図である。

第 18 図は第 17 図に続く製造工程中における不揮発性メモリセルの要部縦断面図である。

- 5 第 19 図は第 8 図の D-D' 断面に対応するメモリセル構造の別の形態としてポリシリコン膜をメモリセル単位に分割したメモリセル構造を例示する縦断面図である。

- 10 第 20 図は第 8 図の D-D' 断面に対応するメモリセル構造の更に別の形態として絶縁膜中にポリシリコン粒を離散的に配置した半導体膜を採用したメモリセル構造を例示する縦断面図である。

第 21 図は相対的にチャネル領域寄りがシリコンリッチとされたシリコン窒化膜を用いた不揮発性メモリセルのデバイス構造を例示する縦断面図である。

- 15 第 22 図は本発明に係る不揮発性メモリセルを採用した電氣的に消去及び書き込み可能な不揮発性メモリとしてフラッシュメモリを例示するブロック図である。

第 23 図はフラッシュメモリを用いたコンピュータシステムを例示するブロック図である。

- 20 第 24 図は ONO 構造のゲート酸化膜を持つ従来の不揮発性記憶素子のデバイス構造を例示する説明図である。

第 25 図は ONO 構造のゲート酸化膜を持つ従来の不揮発性記憶素子を用いた多値記憶技術を例示する説明図である。

第 26 図は ONO 構造のゲート酸化膜を持つ従来の不揮発性記憶素子に関し本発明者が見出した問題点を模式的に例示する説明図である。

発明を実施するための最良の形態

《半導体膜と窒化膜を持つ第1のメモリセル構造》

- 第1図には半導体膜と窒化膜を持つ第1の基本的なメモリセル構造が縦断面で例示される。同図に示される不揮発性メモリセルMC1は、半導体領域例えばp型半導体領域1内にn型ソース領域8、n型ドレイン領域7及びそれら該ソース領域8と該ドレイン領域7に挟まれたチャネル領域9を有する。そして、前記チャネル領域9の上に設けられたゲート絶縁膜10、及びゲート絶縁膜10の上の設けられた導電膜によるゲート電極（単にコントロールゲートとも記す）6を有する。ゲート絶縁膜10は、第1絶縁膜例えばシリコン酸化膜2、該第1絶縁膜2の上に設けられた半導体膜例えばシリコン膜であるポリシリコン膜3、該半導体膜3の上に設けられた第2絶縁膜絶例えば非導電性の電荷トラップ膜としてのシリコン窒化膜4、前記シリコン窒化膜4の上に設けられた第3絶縁膜例えばシリコン酸化膜5によって構成される。前記チャネル領域9とは導電チャネルが形成可能にされる領域を意味する。
- 前記シリコン窒化膜5のトラップ密度は前記シリコン酸化膜2、5の夫々のトラップ密度よりも高い。前記ポリシリコン膜3とシリコン窒化膜4との界面部のトラップ密度は前記シリコン窒化膜4のトラップ密度よりも高い。
- 特に制限されないが、コントロールゲート6は濃度 $3 \times 10^{20} / \text{cm}^3$ のリンがドーパされた膜厚100nmのポリシリコン膜で構成される。特に制限されないが、前記シリコン酸化膜2は膜厚5nm、前記ポリシリコン膜3は濃度 $3 \times 10^{20} / \text{cm}^3$ のリンがイオン打ち込みされた膜厚4nm、シリコン窒化膜4は膜厚5nm、シリコン酸化膜5は膜厚5nmとされる。上記ゲート絶縁膜10の実効膜厚はシリコン酸化膜換算で13.5nmである。第24図で説明した従来のONO（酸化膜・窒化膜・酸化膜）構造のゲート絶縁膜は、例えば、順次5nmのシリコン酸化膜、10nmのシリコン

窒化膜、5 nmのシリコン酸化膜とされ、実効膜厚はシリコン酸化膜換算で15 nmである。本発明に係るメモリセルではシリコン窒化膜4は従来に比べて半減され、また、ポリシリコン膜3はシリコン窒化膜4よりも薄くされている。なお、コントロールゲート6は、ポリシリコン膜3と、ポリシリコン膜3上に形成された、シリサイド膜又は高融点金属との積層膜で構成しても良い。なお、特に制限されないが、コントロールゲート6は、ワード線WLに一体に形成される。

第2図には第1図の不揮発性メモリセルの詳細な構造を平面図で例示する。メモリセルの活性領域11が横方向にライン・アンド・スペース状、即ち、所定間隔を置いて並列配置され、それに直行する縦方向にコントロールゲート6がライン・アンド・スペース状に配置される。前記活性領域11はソース領域、ドレイン領域、及びチャネル領域にされる不純物導入に係る半導体領域である。ドレイン領域とソース領域へコンタクト（電氣的接続）を取るためのコンタクト穴13a、13b、前記活性領域11に並行に配置されたビット線15とドレイン領域上のコンタクト穴13aを接続する接続穴14が配置されている。コンタクト穴13bはコントロールゲート6の方向に延在される。

第3図には第2図中のA-A'断面が例示される。第3図において、半導体領域1のドレイン領域7とソース領域8との間のチャネル領域9上に、シリコン酸化膜2、ポリシリコン膜3、シリコン窒化膜4、シリコン酸化膜5、コントロールゲート6、及び絶縁膜28が積層される。絶縁膜33を貫通して、ドレイン領域31上に形成された一方のコンタクト穴13a、及びソース領域8上に形成された他方のコンタクト穴13bが配置され、絶縁膜36を貫通して形成された接続穴14を介して一方のコンタクト穴13aとビット線15が接続されている。前記コンタクト穴13a、13bの内部にはコンタクトプラグ34、35が形成

され、接続穴 14 の内部には接続プラグ 37 が形成される。前記コンタクトプラグ 34, 35 及び接続プラグ 37 はアルミニウム、タングステン、或はポリシリコン等の配線材料から成る。

第 4 図には第 2 図中の B - B' 断面が例示される。第 4 図において、
5 半導体基領域 1 には素子分離領域 22 で分離された活性領域の表面領域にシリコン酸化膜 2 が形成され、その上に、ポリシリコン膜 3、シリコン窒化膜 4、シリコン酸化膜 5、コントロールゲート 6、及び絶縁膜 28 が順次積層され、その上部に絶縁膜 33、及び絶縁膜 36 が介在してビット線 15 が配置されている。

10 上記不揮発性メモリセル MC 1 に対する書込み動作は、従来と同様にホットエレクトロン注入で行われる。消去動作はチャネル領域 9 の全面でトンネル放出により行われる。例えば、電子の注入を行う場合には、前記ドレイン領域 7 及び前記ゲート電極 6 に、ソース領域 8 に印加する電位よりも高い電位を印加して、前記チャネル領域 9 をオンさせ、前記
15 ドレイン領域 7 の近傍で発生するホットエレクトロンにより、前記ポリシリコン膜 3 とシリコン窒化膜との界面に多くの電子が捕獲され、また、シリコン窒化膜 4 のバルク中のトラップに電子が捕獲される。また、電子のトンネル放出を行う場合、例えば、前記半導体領域 1 に、前記ゲート電極 6 に印加する電位よりも高い電位を印加して、前記ポリシリコン
20 膜 3 と前記シリコン窒化膜 4 との界面部及び前記シリコン窒化膜のバルク中に捕獲されている電子を、前記ポリシリコン膜 3 からシリコン酸化膜 2 中をトンネル電流として前記チャネル領域 9 に引き抜く。

不揮発性メモリセル MC 1 では、ポリシリコン膜 3 とシリコン窒化膜 4 との界面部のトラップ密度は、シリコン窒化膜 4 とシリコン酸化膜 5 との界面部のトラップ密度より高いことから、注入されたホットエレクトロンの多くはポリシリコン膜 3 とシリコン窒化膜 4 との界面部へ捕
25

- 獲される。シリコン窒化膜 4 のバルク中のトラップにも電子が捕獲されることは言うまでも無い。このように、不揮発性メモリセル MC においては、前記ポリシリコン膜 3 と前記シリコン窒化膜 4 との界面部に形成されるエネルギー準位の深いトラップ (界面トラップ) による電荷保持機能が追加されているから、従来より情報記憶のための電荷保持を担っているシリコン窒化膜を薄膜化することができる。薄膜化によってもメモリセル MC として必要な量の電子を保持することは保証される。すなわち、ポリシリコン膜 3 とシリコン窒化膜 4 との界面トラップの密度であるトラップ密度が高いので電荷保持機能を追加できる。
- 10 消去動作は、上記ポリシリコン膜 3 とシリコン窒化膜 4 との界面部に捕獲された電子に関しては、一旦ポリシリコン膜 3 中へデトラップする第 1 ステップと、デトラップした電子がシリコン酸化膜 2 を通過するトンネル電流により半導体領域 1 へ放出される第 2 ステップにより行われる。シリコン窒化膜 4 のバルク中に捕獲されている電子は、ポリシリコン膜 3 を経てシリコン酸化膜 2 をトンネル電流として通過して半導体領域 1 へ放出される。シリコン窒化膜 4 のバルク中及びその界面部に捕獲された電子をトンネル放出するとき、シリコン窒化膜 4 が薄膜化されているので、シリコン窒化膜 4 のバルク中に捕獲されている電子は容易に前記ポリシリコン膜 3 に到達し、シリコン酸化膜 2 をトンネル電流として流れて半導体領域 1 に放出される。シリコン窒化膜 4 とポリシリコン膜 3 との界面部に捕獲されている電子はそのトラップ準位に抗する電界によりポリシリコン膜 3 にデトラップされ、デトラップされた電子はシリコン酸化膜 2 をトンネル電流として流れて放出される。その界面準位を成すトラップはシリコン酸化膜 2 側に形成されているので、そこに捕獲されている電子は前記トンネル放出に際してシリコン窒化膜 4 を通過することを要しない。仮にそのような界面準位をゲート電極 6

側に形成して機能させる場合と比べれば、本発明手段は消去動作のような電子放出動作が容易である。

したがって、シリコン窒化膜を電荷保持に用いる不揮発性メモリに対する消去動作のような電子放出動作をトンネル効果によって行っても
5 シリコン窒化膜 4 に電子が不消耗に残存する事態を阻止することができる。

消去動作では、チャネル領域 9 側からのホットホール注入を行う必要がないから、チャネル領域 9 上のシリコン酸化膜 2 中にホールトラップが発生するのを抑制でき、また、チャネル領域 9 とシリコン酸化膜 2 と
10 の界面準位の発生に起因するサブスレッショルド特性の劣化を生ずることもない。したがって、書き込み特性及び読み出し特性の劣化を防止することができる。更に、サブスレッショルドリークが低減されて低消費電力に寄与する。

さらに、情報記憶の為にポリシリコン膜 3 とシリコン窒化膜 4 の界面
15 部トラップに捕獲された電子は、絶縁体ではないポリシリコン膜 3 にデトラップされ、デトラップされた電子はポリシリコン膜 3 内で自由電子の如く振る舞う。ホットエレクトロン注入による書き込みによりドレイン 7 近傍の界面トラップに多くの電子が捕獲されていても、デトラップされた電子がドレイン領域 7 の近傍に集中せず、ソース領域 8 の近傍の
20 シリコン酸化膜 2 にホールが残存することもない。この点でも不揮発性記憶素子における書き込み、読み出しの特性劣化が防止される。

《半導体膜と窒化膜を持つ第 2 のメモリセル構造》

第 5 図には半導体膜と窒化膜を持つ第 2 の基本的なメモリセル構造が縦断面で例示される。同図に示される不揮発性メモリセル MC 2 は、
25 半導体基板 4 1 上の比較的厚いシリコン酸化膜 4 2 の上に T F T 技術にて形成される。シリコン酸化膜 4 2 上には、ボロンなどの p 型不純物

がドーピングされたポリシリコンから成るチャネル領域 4 3 と、砒素などの n 型不純物がドーピングされたポリシリコンから成るドレイン領域 3 1 及びソース領域 3 2 が形成される。このチャネル領域 4 3 の上に、前述と同様に、シリコン酸化膜 2、ポリシリコン膜 3、シリコン窒化膜 4、シリコン酸化膜 5 から成るゲート絶縁膜 1 0 が形成される。ゲート絶縁膜 1 0 の上には前記ゲート電極 6 及び絶縁膜 2 8 が設けられる。ドレイン領域 3 1 とビット線の接続は前記コンタクト穴 1 3 a のコンタクトプラグ 3 4 及び接続穴 1 4 の接続プラグ 3 7 にて行われ、ソース領域 3 2 は前記コンタクト穴 1 3 b のコンタクトプラグ 3 5 に接続される。

この T F T 構造にあっても、その消去・書き込み動作は第 1 図のメモリセル構造と基本的に同じである。前記ソース領域 3 2 を回路接地電位とし、前記ドレイン領域 3 1 及び前記コントロールゲート 6 へ適当な正電位を与えて、前記チャネル領域 4 3 をオンさせ、前記ドレイン領域 3 1 の近傍で発生するホットエレクトロンを注入して、前記ポリシリコン膜 3 と前記シリコン窒化膜 4 との界面部分、並びにシリコン窒化膜 4 のバルク中に電子を捕獲することにより書き込みを行う。前記コントロールゲート 6 へ適当な負電位を与え、前記ドレイン領域 3 1 へ適当な正電位を与えて、前記ポリシリコン膜 3 と前記シリコン窒化膜 4 との界面部分に捕獲されている電子をポリシリコン膜 3 にデトラップさせ、シリコン窒化膜 4 のバルク中に捕獲されている電子をポリシリコン膜に導き、ポリシリコン膜 3 中の電子をトンネル電流によってシリコン酸化膜 2 からドレイン領域 3 1 に引抜くことにより消去を行う。

この第 2 のメモリセル構造においても第 1 のメモリセル構造と同様に、消去動作ではシリコン酸化膜 2 へのホットホール注入を行わないため、従来の問題点であったシリコン酸化膜 2 中での電荷トラップ準位の

発生を抑制でき、ホットホール注入によるチャネル領域43とシリコン酸化膜2との界面準位の発生に起因するサブスレッショルド特性の劣化を解消することが可能となり、また、上記半導体膜としてのポリシリコン膜4がコントロールゲート6の延在方向に配置された複数のメモリセルに共通接続されているため、上記消去動作におけるトンネル電子放出がコントロールゲート6の単位で行われることになり、消去特性のバラツキを著しく低減することができる。

《半導体膜と窒化膜を持つ第3のメモリセル構造》

第6図には半導体膜と窒化膜を持つ第3の基本的なメモリセル構造が平面で例示される。同図に示される不揮発性メモリセルMC3は第5図と同様のTFETとして構成され、第5図説明した要素と同じ構成要素には同一符号を付してある。

同図において、メモリセルの活性領域11が横方向にライン・アンド・スペース状に配置され、それに直行する縦方向にコントロールゲート6がライン・アンド・スペース状に配置され、ドレイン領域へコンタクトを取るためのコンタクト穴13、共通ソース線を加工するためのマスクパターン16、前記活性領域11に並行に配置されたビット線15とドレイン領域上のコンタクト穴13を接続する接続穴14が配置されている。

第7図には第6図中のC-C'断面が例示される。第8図には第6図中のD-D'断面が例示される。各図において、半導体基板41上に、例えば、膜厚100nmの絶縁膜であるシリコン酸化膜42を介して、膜厚50nm、濃度 $2 \times 10^{18} / \text{cm}^3$ のボロンがドーピングされた半導体膜であるポリシリコン膜から成るチャネル領域43が配置され、濃度 $1 \times 10^{20} / \text{cm}^3$ の砒素がドーピングされた半導体膜であるポリシリコンから成るドレイン領域31及びソース領域32が形成される。ドレイン領域31とソース領域32で挟

まれたチャネル領域43の上に、例えば、膜厚5nmのシリコン酸化膜2、膜厚4nmの半導体膜であるノンドープのポリシリコン膜3、膜厚6nmのシリコン窒化膜4、及び膜厚5nmのシリコン酸化膜5が積層されてゲート絶縁膜が形成される。その上に、例えば、濃度 $3 \times 10^{20} / \text{cm}^3$ のリン

5 がドープされた膜厚100nmのポリシリコン膜からなるコントロールゲート6、及び膜厚100nmのシリコン窒化膜28が積層されてワード線が構成される。積層されて延在するゲート絶縁膜及びワード線の側面部には膜厚80nmのシリコン窒化膜からなるサイドウォールスペーサ52が配置される。前記ワード線上に堆積された膜厚100nmの絶縁膜33には、前記ド

10 レイン領域31の上方に導電膜であるタングステン膜からなるコンタクトプラグ34が貫通形成され、また、前記ソース領域32に側面で電氣的に接続されたソースプラグ53が貫通形成されている。前記ソースプラグ53は、コンタクト穴53Hを介して前記酸化膜43を貫通し、その下に延在形成されている共通ソース線54にも電氣的に接続される。ソースプラグ53は導

15 電膜であるポリシリコン膜から成る。ドレイン領域31はコンタクト穴13及び接続穴14を介してドレインプラグ34及び接続プラグ37により対応するビット線15に電氣的に接続される。

ここで、前記ドレインプラグ34及びソースプラグ53は、前記サイドウォールスペーサ52及びシリコン窒化膜51に対して選択比のある酸化膜エッチングで自己整合的に形成する。このため、ドレインプラグ34及びソースプラグ53の開口寸法を最小寸法以下に微細化することが可能となる。この例で用いた0.13ミクロンプロセスルールでは、特に制限はされないが、ワード線幅は0.2 μm 、ドレイン領域のワード線スペースは0.3 μm 、ソース領域のワード線スペースは0.

20 2 μm であるため、単位メモリセルのワード線方向長さは0.45 μm である。また、活性領域11の幅は0.15 μm であり、各々の活性領

25

域 1 1 間の分離幅も $0.15 \mu\text{m}$ であることから、単位メモリセルのビット線方向長さは $0.3 \mu\text{m}$ である。したがって、単位メモリセル面積は $0.45 \times 0.3 = 0.135$ 平方 μm である。

5 第 9 図には前記不揮発性メモリセル MC 3 を用いたメモリアレイの一部が例示される。同図にはマトリクス配置された 4 個の不揮発性メモリセル MC 3 が代表的に示される。行方向に配置された一対の不揮発性メモリセル MC 3 は鏡面对象の如く配置され、共通ドレインが対応するビット線 BL 1, BL 2 に電氣的に接続され、コントロールゲートは列毎に対応するワード線 WL 1, WL 2 に電氣的に接続される。

10 上記不揮発性メモリセル MC 3 への書込み動作は、第 10 図に例示されるように、ワード線 WL 1 とビット線 BL 1 に接続するメモリセルを書込み対象とするとき、ビット線 BL 1 を介してドレイン領域 3 1 へ 4 V を、ワード線 WL 1 を介してコントロールゲート 6 へ 8 V のパルス電圧をパルス幅 2 マイクロ秒印加する。書込み対象メモリセルが接続されていないワード線 WL 2 及びビット線 BL 2 は 0 V にされる。これにより、書込み対象メモリセルの閾値電圧は例えば 2 V から 4.5 V へ上昇した。また、消去動作は、第 11 図に例示されるように、ワード線 WL 1 に接続するメモリセルを消去対象とするとき、メモリセル MC 3 のソース領域 3 2 の電位をオープンとした状態で、ビット線 BL 1, BL 2 を介してドレイン領域 3 1 へ 4 V を印加し、消去対象側のワード線 WL 1 を介してコントロールゲート 6 へ 8 V のパルス電圧をパルス幅 10 ミリ秒印加する。消去非対象側のワード線 WL 2 には 4 V のパルス電圧を印加する。これにより、ワード線 WL 1 を共有する消去対象メモリセル MC 3 の閾値電圧を 4.5 V から 2 V へ低下させることができた。

20 上述の書込み・消去の電圧条件で 1 万回の書換え動作を行った結果、書込み及び消去後のしきい電圧の変動は 0.2 V 以内であり、書換えによ

25

るメモリセルの特性変動は非常に小さいことが確認された。

次に前記不揮発性メモリセルMC3を採用したフラッシュメモリのような半導体集積回路の製造方法を概略的に説明する。

第12図から第18図には前記メモリセルMC3を採用した半導体集積回路の製造方法を各製造工程毎に断面図で示してある。夫々の断面図には周辺回路領域とメモリセル領域の断面が例示される。メモリセル領域は前記不揮発性メモリセルMC3がマトリクス配置されたメモリアレイの部分を意味する。周辺回路領域はアクセス指示に応答して不揮発性メモリセルMC3に対する記憶情報の読み出し動作、消去・書き込み動作などを制御するメモリ制御部の部分を意味する。

先ず、第12図に例示されるように、例えば抵抗率 $10\ \Omega\text{cm}$ のp型半導体基板60の表面領域に、深さ 200nm の溝内に酸化膜を埋め込み、CMP (Chemical Mechanical Polishing)法により平坦化した溝型素子分離領域61を形成した後、例えば加速エネルギー 1MeV のリンイオンを注入量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 500keV のリンイオンを注入量 $3 \times 10^{12} / \text{cm}^2$ 、及び加速エネルギー 150keV のリンイオンを注入量 $1 \times 10^{12} / \text{cm}^2$ 注入して、n型ウエル領域62を形成する。そして、例えば加速エネルギー 500keV のボロンイオンを注入量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 150keV のボロンイオンを注入量 $5 \times 10^{12} / \text{cm}^2$ 、及び加速エネルギー 50keV のボロンイオンを注入量 $1 \times 10^{12} / \text{cm}^2$ 注入してp型ウエル領域63を形成する。その後、例えば膜厚 10nm の表面酸化膜64を成長させ、メモリセル領域へのみ加速エネルギー 50keV のリンイオンを注入量 $2 \times 10^{15} / \text{cm}^2$ 注入してn型共通ソース領域65を形成する。次いで、メモリセル領域の前記表面酸化膜64上に気相成長法 (CVD:Chemical Vapor Deposition)法により膜厚 100nm の酸化膜を堆積し、その上部にCVD法により膜厚 20nm のポリシリコン膜を積層し、ホトリ

ソグラフィ法でパターンニングされたレジストマスクを用いて加工された酸化膜 66 と第 1 ポリシリコン膜 67 の積層膜を形成する。この状態では、上記酸化膜 66 上の上記第 1 ポリシリコン膜 67 膜は、ライン・アンド・スペース状に加工されている。

5 次に、第 13 図に例示されるように、例えば CVD 法により膜厚 5 nm の酸化膜 68、膜厚 4 nm のポリシリコン膜 69、膜厚 6 nm のシリコン窒化膜 70、及び膜厚 5 nm の酸化膜 71 を積層堆積し、それらを、ホトリソグラフィ法でパターンニングされたレジストマスクを用いて加工する。

10 さらに、第 14 図に例示されるように、周辺回路領域において、上記表面酸化膜 64 を除去した後、例えば膜厚 7 nm の第 1 ゲート酸化膜 72 と膜厚 18 nm の第 2 ゲート酸化膜 73 を成長させ、CVD 法により濃度 $3 \times 10^{20} / \text{cm}^3$ のリンをドーブした膜厚 100 nm のポリシリコン膜 75 と膜厚 100 nm のシリコン窒化膜 75 を堆積し、ホトリソグラフィ法でパター
15 ニングされたレジストマスクを用いて加工する。その後、例えば周辺回路領域の低電圧 p チャネルトランジスタとなる領域へのみ加速エネルギー 30 keV のリンイオンを斜め 30° の方向から注入量 $1 \times 10^{13} / \text{cm}^2$ 注入して n 型ハロー領域 76 を形成し、周辺回路領域の高電圧 n チャネルトランジスタとなる領域へのみ加速エネルギー 30 keV のリンイオンを注入量 $1 \times$
20 $10^{13} / \text{cm}^2$ 注入して n 型 LDD (Lightly Doped Drain) 領域 77 を形成する。そして、例えばメモリセル領域へのみ加速エネルギー 20 keV の砒素イオンを注入量 $2 \times 10^{14} / \text{cm}^2$ 注入してセルソース・ドレイン領域 78 を形成する。

25 続いて、第 15 図に示すように、例えば CVD 法で堆積しエッチバック法で加工した膜厚 80 nm のシリコン窒化膜からなるサイドウォールスペーサ 79 を形成した後、周辺回路領域の低電圧 p チャネルトランジスタとなる領

域へのみ加速エネルギー 30 keV のボロンイオンを注入量 $3 \times 10^{15} / \text{cm}^2$ 注入して p 型ソース・ドレイン領域 80 を形成し、周辺回路領域の高電圧 n チャネルトランジスタとなる領域へのみ加速エネルギー 40 keV の砒素イオンを注入量 $2 \times 10^{15} / \text{cm}^2$ 注入して n 型ソース・ドレイン領域 81 を形成する。その後、CVD 法により膜厚 900 nm の酸化膜を堆積し、CMP 法により平坦化した酸化膜 82 を形成する。

更に、第 16 図に示すように、例えばサイドウォールスペーサ 79 をエッチングマスクとして上記酸化膜 82、酸化膜 71、シリコン窒化膜 70、ポリシリコン膜 69、酸化膜 68、ポリシリコン膜 67、酸化膜 66、及び表面酸化膜 64 を一括エッチングして、ソース線接続穴を形成し、CVD 法により濃度 $4 \times 10^{20} / \text{cm}^3$ のリンをドーブしたポリシリコン膜を埋め込んでソースプラグ 83 を形成する。

続いて、第 17 図には、CVD 法により膜厚 100 nm の酸化膜 84 を堆積した後、タングステンからなるビット線プラグ 85 を形成した状態を示している。

最後に、第 18 図に例示されるように、例えば CVD 法により膜厚 100 nm の酸化膜 85 を堆積した後、周辺回路領域のトランジスタのソース・ドレイン上、及び上記ビット線プラグ 85 上に、コンタクト穴を開口し、第 1 金属配線 86 をパターンニングする。さらに、図示されてはいないが、製造工程では上記第 1 金属配線 86 上に第 1 層間絶縁膜の堆積、第 1 接続穴の形成、第 2 金属配線のパターンニング、第 2 層間絶縁膜の堆積、第 2 接続穴の形成、第 3 金属配線のパターンニング、及びパッシベーション膜の堆積とボンディングパッド部の開口を行って、フラッシュメモリのような半導体集積回路のウェーハプロセス製造工程が完了する。

上記製造プロセスにより製造された半導体集積回路の不揮発性メモ

リセルへの書込み動作は、例えば、ビット線プラグ 85 へ 5 V を、コントロールゲート 74 へ 8 V のパルス電圧をパルス幅 1 マイクロ秒印加して行い、これによって、書込み対象メモリセルの閾値電圧は 2 V から 4 V へ上昇した。また、消去動作は、ソース領域の電位をオープンとした状態で、ビット線プラグ 85 へ 4 V を、コントロールゲート 74 へ 8 V のパルス電圧をパルス幅 50 ミリ秒印加して行い、これによって、消去対象メモリセルの閾値電圧を 4 V から 2 V へ低下させることができた。上述の書込み・消去の電圧条件で 10 万回の書換え動作を行った結果、書込み及び消去後のしきい電圧の変動は 0.4 V 以内であった。

書換えによるメモリセルの特性変動は、書込み時間は 1.2 倍の増加、消去時間は 3 倍の増加、読出し電流は 0.8 倍の低下に抑制することができ、本発明の有効性が確認された。

《メモリセル構造の別の形態》

第 19 図には第 8 図の D-D' 断面に対応するメモリセル構造の別の形態が例示される。前記第 6 図乃至第 8 図で説明したメモリセル MC3 はポリシリコン膜 3 がワード線方向に延在し、ワード線を共有するメモリセル間で一体に形成されていた。メモリセル構造の別の形態として、例えば、第 8 図の D-D' 断面に対応する第 19 図に例示されるように、ポリシリコン膜 3 をメモリセル単位に分割してもよい。同図に示されるポリシリコン膜 3 は、電荷トラップ領域となるシリコン窒化膜 4 を CVD 法により堆積する前に、ビット線 38 を加工するためのマスクを用いて形成することができる。この例では、単位メモリセル面積もメモリセル MC3 と同様に $0.45 \times 0.3 = 0.135$ 平方 μm である。このメモリセル構造は、例えば、ポリシリコン膜 3 とシリコン窒化膜 4 の界面部にトラップされた電子が消去動作とは別に不所望にデトラップしてポリシリコン膜 3 を移動して他のメモリセルの閾値電圧に影響する

虞がある場合に利用して有効な構造である。

第 19 図の構造の不揮発性メモリセルへの書込み動作は、ドレイン領域へ 4 V を、コントロールゲートへ 8 V のパルス電圧をパルス幅 2 マイクロ秒印加して行い、閾値電圧は 2 V から 4.5 V へ上昇した。また、
5 消去動作は、ソース領域の電位をオープンとした状態で、ドレイン領域へ 4 V を、コントロールゲートへ -7 V のパルス電圧をパルス幅 100 ミリ秒印加して行い、閾値電圧は 4.5 V から 2 V へ低下させることができた。上述の書込み・消去の電圧条件で 1 万回の書換え動作を行った結果、書込み及び消去後の閾値電圧の変動は 0.3 V 以内であり、書換え
10 によるメモリセルの特性変動は非常に小さいことが確認された。

第 20 図には第 8 図の D-D' 断面に対応するメモリセル構造の更に別の形態が例示される。前記第 6 図乃至第 8 図で説明したメモリセル MC3 は半導体膜としてポリシリコン膜 3 を採用した。メモリセル構造の別の形態として、例えば、第 8 図の D-D' 断面に対応する第 20 図に
15 例示されるように、絶縁膜中に直径 10 nm 程度のノンドープドポリシリコン粒 88 を離散的に配置した半導体膜を採用する。この例では、単位メモリセル面積もメモリセル MC3 と同様に $0.45 \times 0.3 = 0.135$ 平方 μm である。

第 20 図の構造の不揮発性メモリセルへの書込み動作は、例えばドレイン領域へ 5 V を、コントロールゲートへ 8 V のパルス電圧をパルス幅
20 2 マイクロ秒印加して行い、これにより、閾値電圧は 2 V から 4.5 V へ上昇した。また、消去動作は、例えば、ソース領域の電位をオープンとした状態で、ドレイン領域へ 6 V を、コントロールゲートへ -8 V のパルス電圧をパルス幅 50 ミリ秒印加して行い、これにより、閾値電圧
25 は 4.5 V から 2 V へ低下させることができた。上述の書込み・消去の電圧条件で 1 万回の書換え動作を行った結果、書込み及び消去後の閾

値電圧の変動は0.3 V以内であり、書換えによるメモリセルの特性変動は非常に小さいことが確認された。

ここまでの説明では、上記電荷トラップ膜としての絶縁膜にシリコン窒化膜4を採用した。このシリコン窒化膜に代えて金属酸化膜を電荷トラップ膜として採用してもよい。金属酸化膜として、例えば膜厚20 nmの5酸化タンタル膜(Ta_2O_5)を採用可能である。例えば図7の断面構造においてシリコン窒化膜4を膜厚20 nmの5酸化タンタル膜に変更して不揮発性メモリセルを構成すればよい。この不揮発性メモリセルのドレイン領域へ5 V、コントロールゲートへ8 Vのパルス電圧をパルス幅2 マイクロ秒印加する書き込み条件では、閾値電圧は2 Vから5 Vへ上昇した。5酸化タンタル膜の代替として、アルミナ膜(Al_2O_3)やチタン酸化膜(TiO_2)に代表される高誘電率の金属酸化物を用いても、夫々の誘電率に対応した適切な膜厚に設定すれば、本発明の不揮発性メモリセルに利用することが可能である。

第21図にはチャネル領域寄りが相対的にシリコンリッチなシリコン窒化膜を用いた不揮発性メモリセルのデバイス構造が縦断面で例示される。今までの説明では、不揮発性記憶素子はポリシリコン膜等の半導体膜と窒化シリコン膜などの高誘電体膜との界面準位を利用した。第21図のメモリセルMC4は、チャネル領域9の上の第1絶縁膜としてのシリコン酸化膜2にシリコン窒化膜90を設け、このシリコン窒化膜90のシリコン酸化膜2寄りの部分90Aをシリコンリッチな組成とした。具体的には、不揮発性メモリセルMC4は、半導体領域1に夫々形成されたソース領域8、ドレイン領域7及びそれら前記ソース領域8とドレイン領域7の間のチャネル領域9を有し、このチャネル領域9の上にゲート絶縁膜10Aが形成される。ゲート絶縁膜10Aは、前記チャネル領域9の上に設けられた第1絶縁膜としてのシリコン酸化膜2、前記シリコン酸化膜2の上に設けられた第2絶縁膜としてのシリコン

窒化膜 90、前記シリコン窒化膜 90 の上に設けられた第 3 絶縁膜としてのシリコン酸化膜 5 から成る。前記シリコン酸化膜 5 の上にはゲート電極 6 を有する。前記シリコン窒化膜 90 はシリコン酸化膜 5 寄りの部分 90 B よりもシリコン酸化膜 90 A 寄りの部分 90 A 方が $S i / N$ の値が大きくされたシリコン窒化膜である。このシリコン窒化膜 90 のトラップ密度は前記シリコン酸化膜 2, 5 の夫々のトラップ密度よりも高い。トラップに捕獲された電子はシリコン酸化膜 2 を通って前記チャネル領域 9 又はドレイン領域 7 にトンネル放出される。

前記シリコン窒化膜のシリコンリッチな部分 90 A は、格子欠陥やダングリングボンドなどのトラップを相対的に多く保有する領域であり、この点で、前記メモリセル MC 1 ~ MC 3 におけるポリシリコン膜 3 とシリコン窒化膜 4 との界面部におけるトラップの機能を代替するものと位置付けることができ、基本的にはそれと同様の作用効果を奏する。

《不揮発性メモリ》

第 22 図には MC 3 に代表される前記不揮発性メモリセルを採用した電氣的に消去及び書き込み可能な不揮発性メモリとしてフラッシュメモリが例示される。

同図に示されるフラッシュメモリ 99 は、前記不揮発性メモリセル MC 3 がマトリクス配置されたメモリアレイ 100 と、外部からのアクセス指示に応答して不揮発性メモリセル MC 3 に対するリード動作、消去動作、書き込み動作を制御するメモリ制御回路とから成る。この例では、メモリアレイ 100 以外の回路部分は全てメモリ制御回路として位置付けられる。

前記メモリアレイ 100 は、メモリマット、データラッチ回路及びセンスラッチ回路を有する。このメモリマットは前記メモリセル MC 3 に代表される電氣的に消去及び書き込み可能な前記不揮発性メモリセル

を多数有する。不揮発性メモリセルの前記コントロールゲートは対応するワード線101に、ドレインは対応するビット線102に、ソースは図示を省略するソース線に接続される。前記不揮発性メモリセルは、データ読み出しのためのワード線電圧（コントロールゲート印加電圧）に対する閾値電圧の高低に応じた情報を記憶することになる。特に制限されないが、本明細書においてメモリセルトランジスタの閾値電圧が低い状態を消去状態、高い状態を書き込み状態と称する。尚、書き込みと消去の定義は相対的な概念であるから上記とは逆に定義することも可能である。

5 フラッシュメモリ99の外部入出力端子I/O0～I/O7は、アドレス入力端子、データ入力端子、データ出力端子、コマンド入力端子に兼用される。外部入出力端子I/O0～I/O7から入力されたXアドレス信号はマルチプレクサ104を介してXアドレスバッファ105に供給される。Xアドレスデコーダ106はXアドレスバッファ105
10 から出力される内部相補アドレス信号をデコードしてワード線101を駆動する。
15

前記ビット線102の一端側には、センスラッチ回路が設けられ、他端にはデータラッチ回路が設けられている。ビット線102はYアドレスデコーダ107から出力される選択信号に基づいてYスイッチアレイ108で選択される。外部入出力端子I/O0～I/O7から入力されたYアドレス信号はYアドレスカウンタ109にプリセットされ、プリセット値を起点に順次インクリメントされたアドレス信号が前記Y
20 アドレスデコーダ107に与えられる。

Yスイッチアレイ108で選択されたビット線は、データ出力動作時には出力バッファ110の入力端子に導通され、データ入力動作時には
25 入力バッファ111を介してデータ制御回路112の出力端子に導通

される。出力バッファ 1 1 0、入力バッファ 1 1 1 と前記入出力端子 I / O 0 ~ 7 との接続は前記マルチプレクサ 1 0 4 で制御される。入出力端子 I / O 0 ~ I / O 7 から供給されるコマンドはマルチプレクサ 1 0 4 及び入力バッファ 1 1 1 を介してモード制御回路 1 1 3 に与えられる。

制御信号バッファ回路 1 1 5 はアクセス制御信号として、チップイネーブル信号 / C E、出力イネーブル信号 / O E、書き込みイネーブル信号 / W E、シリアルクロック信号 S C、リセット信号 / R E S 及びコマンドイネーブル信号 / C D E を入力する。信号名の直前に記付された記号 / は当該信号がロー・イネーブルであることを意味する。モード制御回路 1 1 3 は、それら信号の状態に応じてマルチプレクサ 1 0 4 を介する外部との信号インタフェース機能などを制御する。入出力端子 I / O 0 ~ I / O 7 からのコマンド入力は前記コマンドイネーブル / C D E に同期される。データ入力はシリアルクロック S C に同期される。アドレス情報の入力はライトイネーブル信号 / W E に同期される。モード制御部 1 1 3 は、コマンドコードにより消去又は書込み動作の開始が指示されると、その期間、消去や書込み動作中を示すレディー・ビジー信号 R / B をアサートして外部に出力する。

内部電源回路（内部電圧発生回路） 1 1 6 は、書込み、消去、ベリファイ、読み出しなどのための各種内部電圧とされる動作電源 1 1 7 を生成して、前記 X アドレスデコーダ 1 0 6 及びメモリセルアレイ 1 0 0 等に供給する。

前記モード制御回路 1 1 3 は、入力コマンドに従ってフラッシュメモリを全体的に制御する。フラッシュメモリ 9 9 の動作は、基本的にコマンドによって決定される。フラッシュメモリ 9 9 のコマンドには、読み出し、消去、書込み等の各コマンドがある。例えば読み出しコマンドは、

読み出しコマンドコード、読み出しXアドレス、及び必要なYアドレスを含む。書込みコマンドは、書込みコマンドコード、Xアドレス、必要なYアドレス、及び書込みデータを含む。

5 フラッシュメモリ 99はその内部状態を示すためにステータスレジスタ 118を有し、その内容は、信号/OEをアサートすることによって入出力端子 I/O0～I/O7から読み出し可能にされる。

 フラッシュメモリ 99は、MC3に代表される不揮発性メモリセルを採用しているので、多数回の書き換えによっても特性劣化が著しく進行せず、永年使用によってもデータ保持の高い信頼性を実現でき、しかも、記憶容量に対するチップ占有面積の縮小を実現することができる。

《コンピュータシステム》

 第23図には前記フラッシュメモリを用いたコンピュータシステムが例示される。同図に示されるコンピュータシステムは、システムバス 120を介して相互に接続されたホストCPU 121と、入出力装置 122、RAM 123、メモリカード 124を備える。

 前記メモリカード 124は、特に制限されないが、システムバスインタフェース回路 125、メモリコントローラ 126、及び複数個のフラッシュメモリ 99がカード基板に実装されて成る。

 前記システムバスインターフェイス回路 125は、特に制限されないが、ATA (AT Attachment) システムバスなどの標準バスインターフェイスを可能とする。システムバスインターフェイス回路 125に接続されたメモリコントローラ 126は、システムバス 120に接続されたホストCPU 121や入出力装置 122のホストシステムからのアクセスコマンド及びデータを受け付ける。

25 例えば、前記アクセスコマンドがリード命令の場合、メモリコントローラ 126は複数のフラッシュメモリ 99の必要な一つ又は複数個を

アクセスして読み出しデータをホストCPU 121又はホストシステムへ転送する。前記アクセスコマンドがライト命令の場合、メモリコントローラ126は複数のフラッシュメモリ99の必要な一つ又は複数個をアクセスしてホストCPU 121又はホストシステムからの書き込みデータをその内部に格納する。この格納動作は、フラッシュメモリの必要なブロックやセクターやメモリセルへの書き込み動作と書き込みベリファイ動作とを含んでいる。前記アクセスコマンドが消去命令の場合、メモリコントローラ126は複数のフラッシュメモリ99の必要な一つ又は複数個をアクセスして、その内部に記憶されるデータを消去する。この消去動作は、フラッシュメモリ99の必要なブロック、セクター又はメモリセルへの消去動作と消去ベリファイ動作とを含んでいる。

長期間に記憶されるデータはこの不揮発性の記憶装置に記憶される一方、ホストCPU 121によって処理されて頻繁に変更されるデータは揮発性メモリとしての前記RAM 123に格納されて利用される。

前記メモリカード124は、特に制限されないが、ハードディスク記憶装置の互換用途とされ、多数のフラッシュメモリ99により数十ギガバイトの大容量記憶を実現している。フラッシュメモリ99を採用するから、高集積密度、低消費電力、高速書き込み、高速読み出し速度、信頼性の高い記憶情報保持特性などの、MC 3に代表される不揮発性メモリセルの特性に由来する優位性を備えている。

前記メモリカード124は厚さの比較的薄いメモリカードに限定されるものではなく、厚さが比較的厚い場合であっても、ホストバスシステムとのインターフェイスとホストシステムのコマンドを解析してフラッシュ不揮発性メモリを制御することが可能なインテリジェントなコントローラとを含むどのような不揮発性記憶装置として実現できる

ことは言うまでもない。

以上本発明者によってなされた発明を種々の形態で具体的に説明したが、本発明はそれに限定されず、その要旨を逸脱しない範囲で適宜変更可能であることは言うまでもない。

5 例えば、以上説明では一つのメモリセルにデジタルデータの1ビットを記憶させるために不揮発性メモリセルに2値の閾値電圧を持たせる場合を説明した。本発明は、記憶情報の蓄積にシリコン窒化膜のような電荷トラップ性の絶縁膜を利用しているから、それに限定されず、一つの不揮発性メモリセルにデジタルデータの多ビットを記憶させる
10 ためメモリセルに4値あるいはそれ以上の多値の閾値電圧を持たせるように制御してもよい。例えば4値の閾値電圧を設定するには、ソース・ドレインを入換えてホットエレクトロン注入書き込みを行えばよい。それに応じてソース・ドレインを入換えて読み出し動作を行えば、夫々の記憶情報を別々に読み出すことができる。

15 また、以上各種説明したデバイス構造における膜の成分、膜厚、膜の製法などは適宜変更可能である。

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

20 トンネル放出側の絶縁膜寄りに半導体膜とシリコン窒化膜のような絶縁膜による界面準位を形成し、これに情報記憶のための電荷保持の主体を担わせ、シリコン窒化膜のような絶縁膜の薄膜化を可能にした。これにより、シリコン窒化膜などの絶縁膜を電荷保持に用いる不揮発性記憶素子に対する消去動作のような電子放出動作をトンネルによって行ってもゲート絶縁膜に電子が不消耗に残存する事態を阻止することができる。
25

シリコン窒化膜のような絶縁膜と界面準位を形成する膜は絶縁膜で

なく半導体膜であるから、シリコン窒化膜などの絶縁膜を電荷保持に用いる不揮発性記憶素子に対する消去動作のような電子放出動作をトンネルによって行っても、チャネル領域の一部に片寄って正孔が蓄積して特性劣化を生ずる事態を防止することができる。

- 5 保持電子の放出にホットホール注入を行わずに済むから、シリコン窒化膜などの絶縁膜を電荷保持に用いる不揮発性記憶素子に対する書き換え後の電荷保持特性の劣化、書き換えに起因するサブスレッショルドリーク電流の増加を抑止することができる。

- 10 前記界面準位を形成する半導体膜やシリコン窒化膜のような絶縁膜をゲート電極方向に一体化したりすることにより、非導電性の電荷トラップ膜を電荷蓄積領域として用いる不揮発性メモリのセル面積の縮小化が可能になる。

産業上の利用可能性

- 15 本発明に係る不揮発性記憶素子を適用した半導体集積回路はフラッシュメモリの単体LSIに限定されない。例えば、そのようなフラッシュメモリをデータ或はプログラム格納用にオンチップで備えたマイクロコンピュータなどのデータプロセッサ等に広く適用することができる。

請 求 の 範 囲

1. 半導体領域に夫々形成されたソース領域、ドレイン領域、及びそれらの間のチャネル領域と、前記チャネル領域の上に設けられた第1絶縁膜と、前記第1絶縁膜の上に設けられた半導体膜と、前記半導体膜の上に設けられた第2絶縁膜と、前記第2絶縁膜の上に設けられた第3絶縁膜と、前記第3絶縁膜の上に設けられたゲート電極とを有し、

前記第2絶縁膜のトラップ密度は前記第1絶縁膜及び第3絶縁膜の夫々のトラップ密度よりも高く、

10 前記半導体膜と前記第2絶縁膜との界面部のトラップ密度は前記第2絶縁膜のトラップ密度よりも高く、

トラップに捕獲された電子は前記第1絶縁膜を介してトンネル放出されるものである、ことを特徴とする不揮発性記憶素子。

2. 前記半導体膜と前記第2絶縁膜との間の界面部のトラップ密度は前記第2絶縁膜と前記第3絶縁膜との間の界面部のトラップ密度よりも高いことを特徴とする請求の範囲第1項記載の不揮発性記憶素子。

3. 前記半導体膜の膜厚は前記第2絶縁膜の膜厚よりも薄いことを特徴とする請求の範囲第1項又は第2項記載の不揮発性記憶素子。

4. 前記第1絶縁膜はシリコン酸化膜、前記半導体膜はシリコン膜、前記第2絶縁膜はシリコン窒化膜、前記第3絶縁膜はシリコン酸化膜であることを特徴とする請求の範囲第1項記載の不揮発性記憶素子。

5. 前記第1絶縁膜はシリコン酸化膜、前記半導体膜はシリコン膜、前記第2絶縁膜は金属酸化膜、前記第3絶縁膜はシリコン酸化膜であることを特徴とする請求の範囲第1項記載の不揮発性記憶素子。

25 6. 前記シリコン膜はポリシリコン膜であることを特徴とする請求の範囲第4項又は第5項記載の不揮発性記憶素子。

7. 前記ポリシリコン膜は不純物が導入されていることを特徴とする請求の範囲第6項記載の不揮発性記憶素子。

5 8. 前記シリコン膜は絶縁膜中にポリシリコン粒子が分散された膜であることを特徴とする請求の範囲第4項又は第5項記載の不揮発性記憶素子。

9. 半導体領域に形成されたソース領域とドレイン領域の間のチャネル領域の上に、第1絶縁膜、前記第1絶縁膜の上に設けられた半導体膜、前記半導体膜の上に設けられた第2絶縁膜、前記第2絶縁膜の上に設けられた第3絶縁膜、及び前記第3絶縁膜の上に設けられたゲート電極が
10 形成された不揮発性記憶素子を複数個有するメモリアレイと、

電子の注入と前記第1絶縁膜を介する電子のトンネル放出とにより前記不揮発性記憶素子の閾値電圧を制御するメモリ制御回路とを備え、

前記第2絶縁膜のトラップ密度は前記第1絶縁膜及び第3絶縁膜の夫々のトラップ密度よりも高く、

15 前記半導体膜と前記第2絶縁膜との界面部のトラップ密度は前記第2絶縁膜のトラップ密度よりも高いことを特徴とする半導体集積回路。

10 10. 前記半導体膜と前記第2絶縁膜との間の界面部のトラップ密度は前記第2絶縁膜と前記第3絶縁膜との間の界面部のトラップ密度よりも高いことを特徴とする請求の範囲第9項記載の半導体集積回路。

20 11. 前記半導体膜の膜厚は前記第2絶縁膜の膜厚よりも薄いことを特徴とする請求の範囲第9項又は第10項記載の半導体集積回路。

12. 前記ゲート電極が共通化されて延在する方向に隣接する複数の不揮発性記憶素子の半導体膜は、互に一体に形成されて成ることを特徴とする請求の範囲第9項記載の半導体集積回路。

25 13. 前記メモリ制御回路は、前記ゲート電極に電氣的に接続される複数の不揮発性記憶素子を最小単位として不揮発性記憶素子に対する電

荷の放出を制御することを特徴とする請求の範囲第 1 2 項記載の半導体集積回路。

1 4 . 前記メモリ制御回路は、電子の注入動作の指示に応答して、ドレイン領域及び前記ゲート電極に、ソース領域に印加する電位よりも高い電位を印加して、前記チャンネル領域をオンさせ、前記ドレイン領域の近傍で発生するホットエレクトロンにより前記半導体膜と前記第 2 絶縁膜との界面部及び前記第 2 絶縁膜に電子を捕獲させることを特徴とする請求の範囲第 9 項記載の半導体集積回路。

1 5 . 前記メモリ制御回路は、電子のトンネル放出動作の指示に応答して、前記半導体領域に、前記ゲート電極に印加する電位よりも高い電位を印加して、前記半導体膜と前記第 2 絶縁膜との界面部及び前記第 2 絶縁膜に捕獲されている電子を、前記第 1 絶縁膜を介してトンネル電流として引き抜くことを特徴とする請求の範囲第 9 項記載の半導体集積回路。

1 6 . 前記半導体領域は、半導体基板上に設けられた第 3 絶縁膜上に形成されることを特徴とする請求の範囲第 9 項記載の半導体集積回路。

1 7 . 前記半導体領域はシリコン膜で形成されることを特徴とする請求の範囲第 1 6 項記載の半導体集積回路。

1 8 . 前記第 3 絶縁膜の下部の前記半導体基板内に共通ソース配線領域が形成され、前記共通ソース配線領域は、前記第 3 絶縁膜に形成された接続孔を介して前記複数個のメモリセルのソース領域に接続されて成ることを特徴とする請求の範囲第 1 6 項又は第 1 7 項記載の半導体集積回路。

1 9 . 前記接続孔は、前記第 3 絶縁膜を前記ゲート電極の側壁に形成されたサイドウォールスペースに対して自己整合的に除去することにより形成されたことを特徴とする請求の範囲第 1 8 項記載の半導体集

積回路。

20. 半導体領域に夫々形成されたソース領域、ドレイン領域及びそれらの間のチャネル領域と、前記チャネル領域の上に設けられた第1絶縁膜と、前記第1絶縁膜の上に設けられた第2絶縁膜と、前記第2絶縁膜の上に設けられた第3絶縁膜と、前記第3絶縁膜の上に設けられたゲート電極とを有し、

前記第2絶縁膜は第3絶縁膜寄りよりも第1絶縁膜寄りの方がSi/Nの値が大きくされたシリコン窒化膜であり、

前記第2絶縁膜のトラップ密度は前記第1絶縁膜及び第3絶縁膜の夫々のトラップ密度よりも高く、

トラップに捕獲された電子は前記第1絶縁膜を介してトンネル放出される、ものであることを特徴とする不揮発性記憶素子。

21. 半導体領域のチャネル領域の上に形成された第1絶縁膜と、前記第1絶縁膜の上に形成された中間膜と、
前記中間膜の上に形成された非導電性の電荷トラップ膜と、
前記電荷トラップ膜の上に形成された第2絶縁膜と、
前記第2絶縁膜の上に形成されたゲート電極と、を有する不揮発性記憶素子を備え、

前記電荷トラップ膜のトラップ密度は、前記第1絶縁膜及び第2絶縁膜の夫々のトラップ密度よりも高く、

前記中間膜と前記電荷トラップ膜との界面部のトラップ密度は、前記電荷トラップ膜と前記第2絶縁膜との界面部のトラップ密度より高く、且つ、前記電荷トラップ膜のトラップ密度よりも高く、

注入された電子を前記トラップに捕獲することで情報の書き込みが行われ、前記トラップに捕獲された電子を前記第1絶縁膜を介してトンネル放出させることで情報の消去が行われることを特徴とする半導体

集積回路。

2 2 . 半導体領域のチャネル領域の上に形成された第 1 絶縁膜と、

前記第 1 絶縁膜の上に形成された第 2 絶縁膜と、

前記第 2 絶縁膜の上に形成された第 3 絶縁膜と、

- 5 前記第 3 絶縁膜の上に形成されたゲート電極とを有する不揮発性記憶素子を備え、

前記第 2 絶縁膜のトラップ密度は前記第 1 絶縁膜及び第 3 絶縁膜の夫々のトラップ密度よりも高く、

- 10 前記第 2 絶縁膜のトラップ密度は第 3 絶縁膜寄りよりも第 1 絶縁膜寄りの方が高く、

注入された電子をトラップに捕獲することで情報の書き込みが行われ、トラップに捕獲された電子を前記第 1 絶縁膜を介してトンネル放出させることで情報の消去が行われることを特徴とする半導体集積回路。

- 15 2 3 . 半導体領域に夫々形成されたソース領域、ドレイン領域及びそれらの間のチャネル領域と、前記チャネル領域の上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極とを有し、

前記ゲート絶縁膜は、第 1 絶縁膜、前記第 1 絶縁膜の上に設けられた半導体膜、前記半導体膜の上に設けられたシリコン窒化膜、及び前記シリコン窒化膜の上に設けられた第 2 絶縁膜から成り、

- 20 ホットエレクトロン注入により前記ゲート絶縁膜に捕獲された電子が前記第 1 絶縁膜を介してトンネル放出可能にされる、ものであることを特徴とする不揮発性記憶素子。

- 25 2 4 . 半導体領域に夫々形成されたソース領域、ドレイン領域及びそれらの間のチャネル領域と、前記チャネル領域の上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極とを有し、

前記ゲート絶縁膜は、第 1 絶縁膜、前記第 1 絶縁膜の上に設けられた

半導体膜、前記半導体膜の上に設けられた金属酸化膜、及び前記金属酸化膜の上に設けられた第2絶縁膜から成り、

5 ホットエレクトロン注入により前記ゲート絶縁膜に捕獲された電子が前記第1絶縁膜を介してトンネル放出可能にされる、ものであることを特徴とする不揮発性記憶素子。

25. 半導体領域に夫々形成されたソース領域、ドレイン領域及びそれらの間のチャネル領域と、前記チャネル領域の上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極とを有し、

10 前記ゲート絶縁膜は、第1絶縁膜、前記第1絶縁膜の上に設けられたシリコン窒化膜、及び前記シリコン窒化膜の上に設けられた第2絶縁膜から成り、

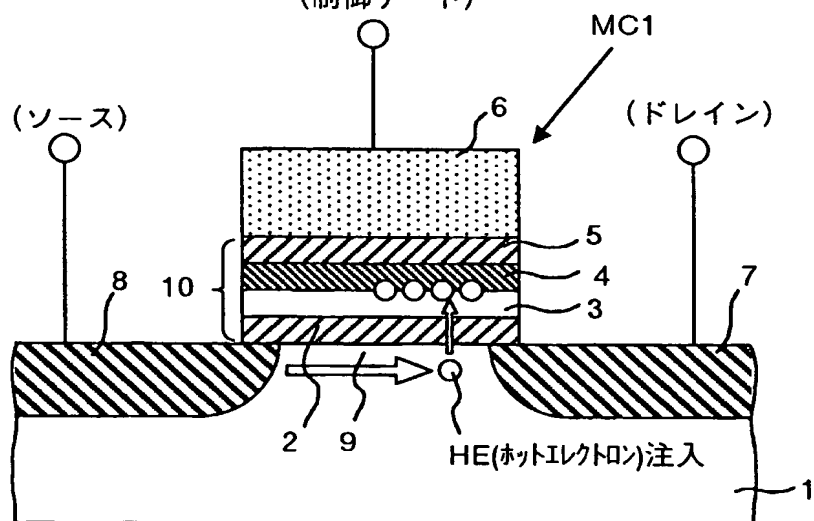
 前記シリコン窒化膜は第2絶縁膜寄りよりも第1絶縁膜寄りの方が S_i/N の値が大きくされ、

15 ホットエレクトロン注入により前記ゲート絶縁膜に捕獲された電子が前記第1絶縁膜を介してトンネル放出可能にされる、ものであることを特徴とする不揮発性記憶素子。

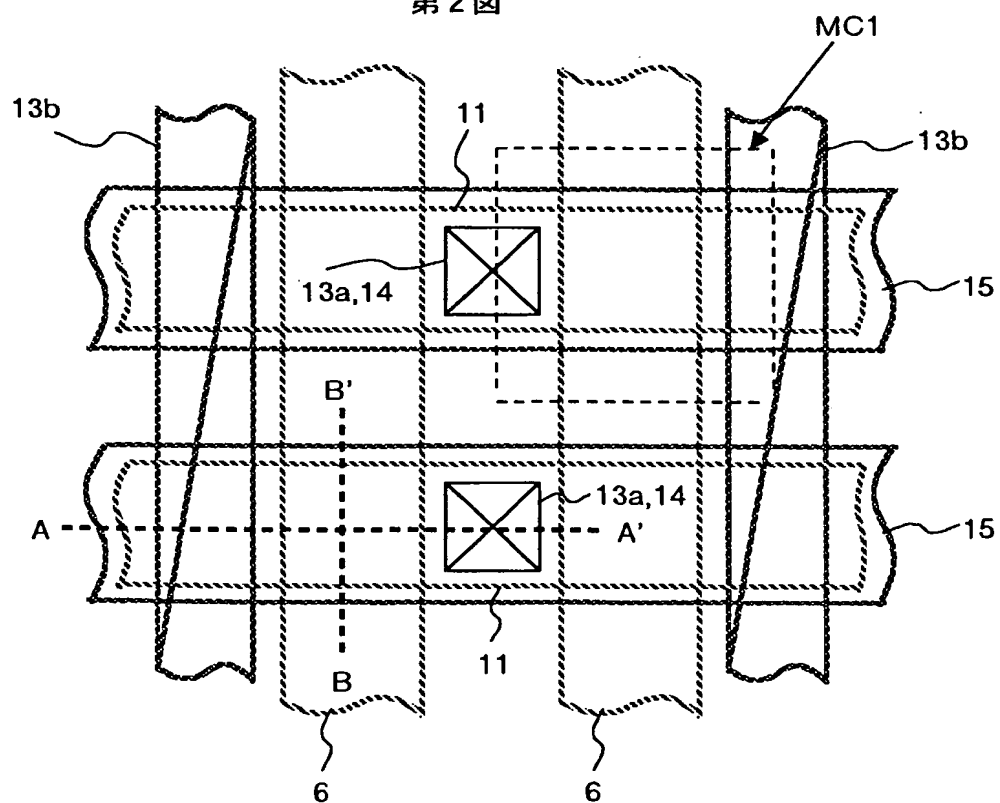
1 / 2 3

第1図

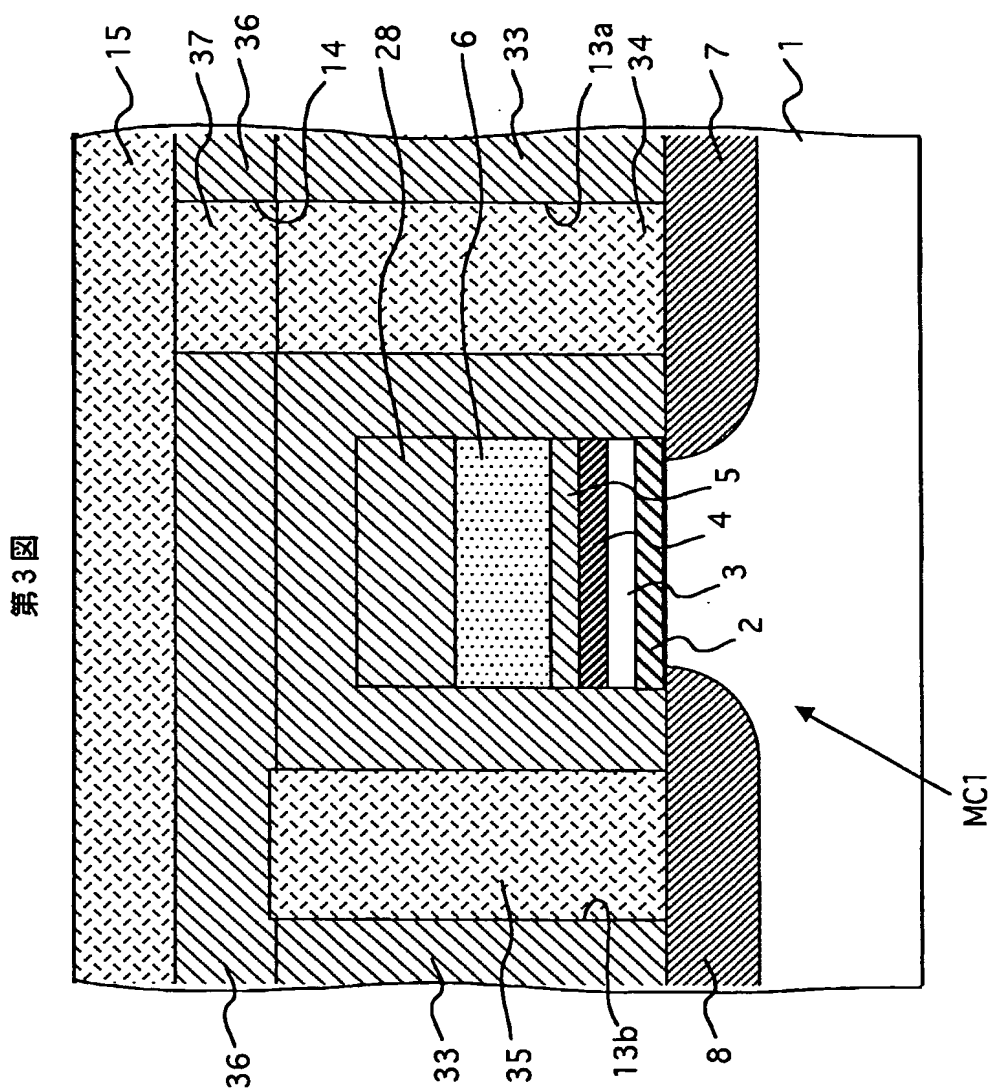
(制御ゲート)



第2図

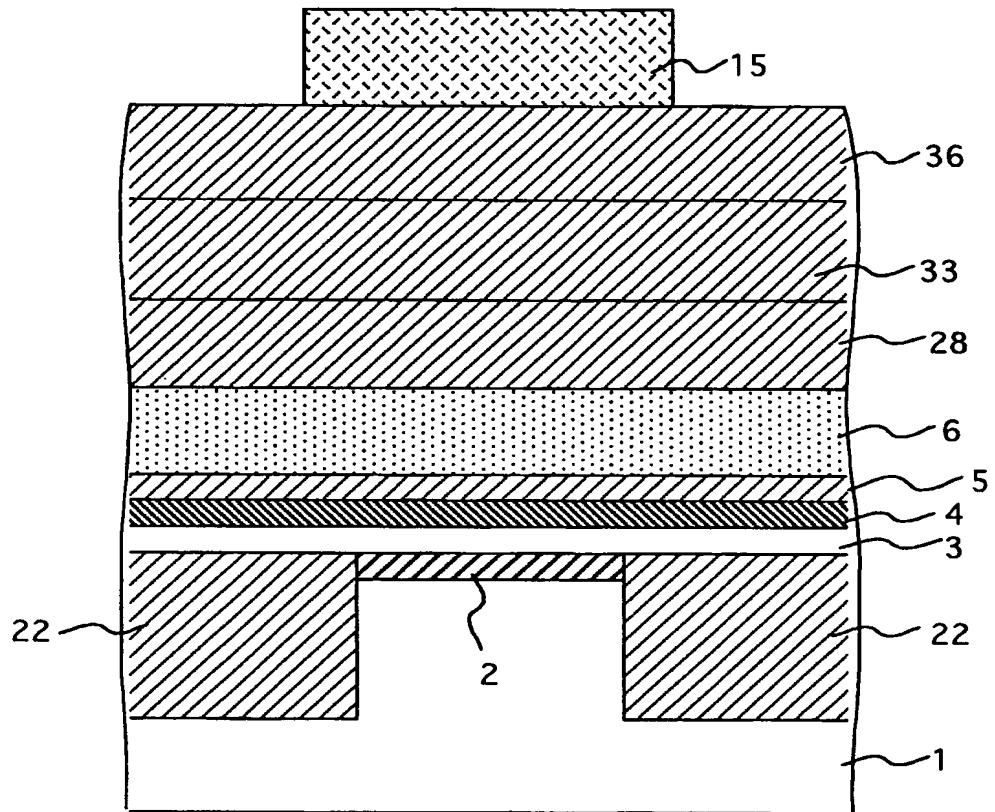


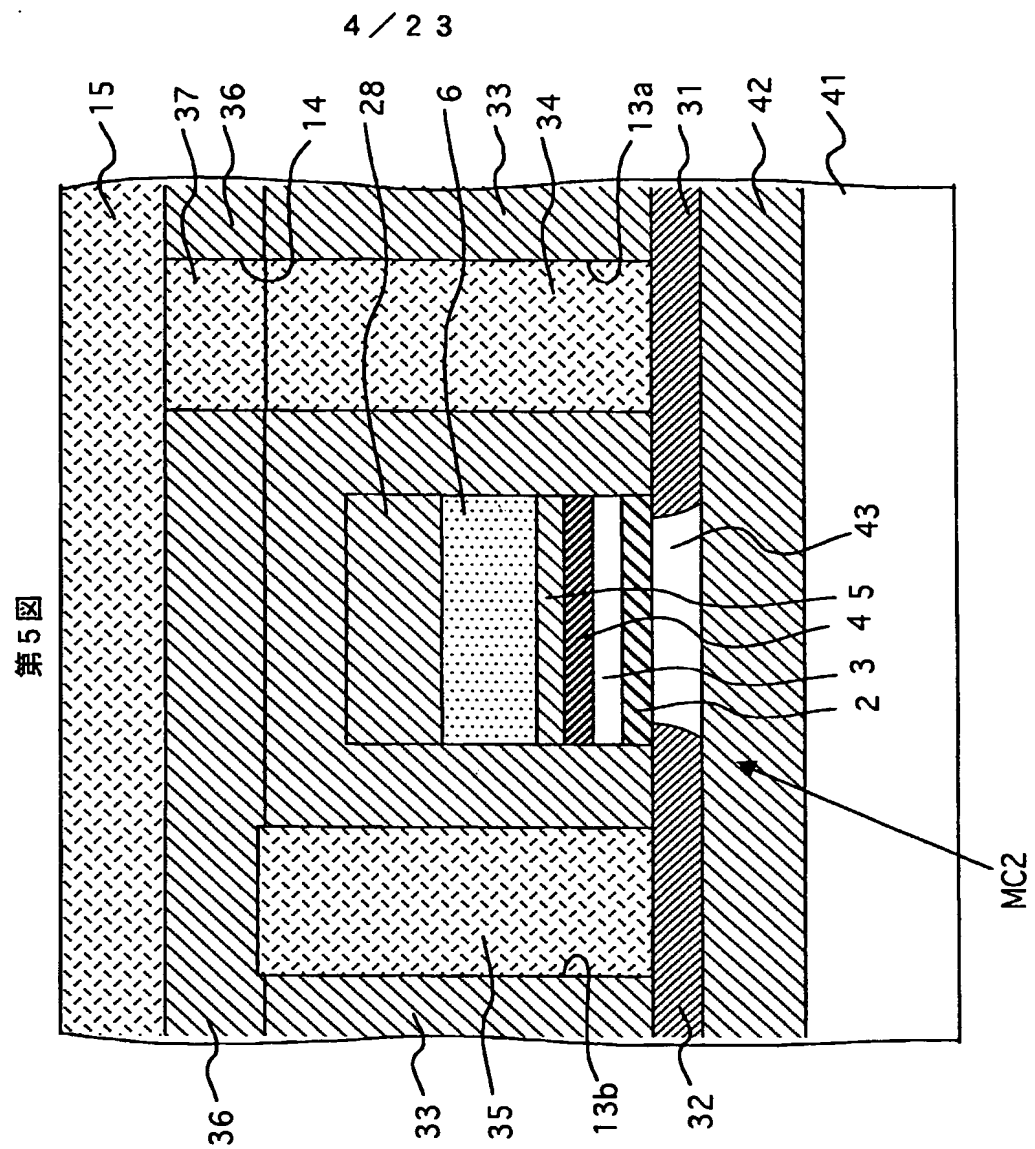
2 / 2 3

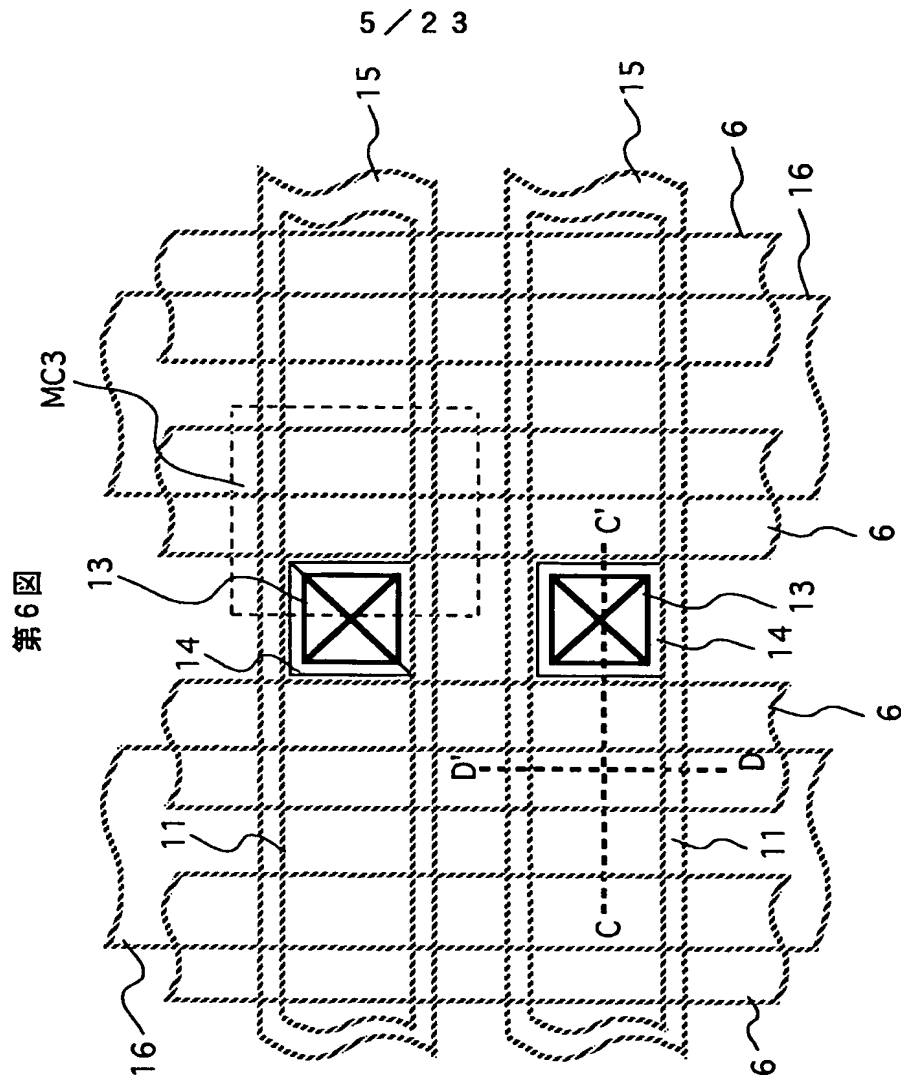


3 / 2 3

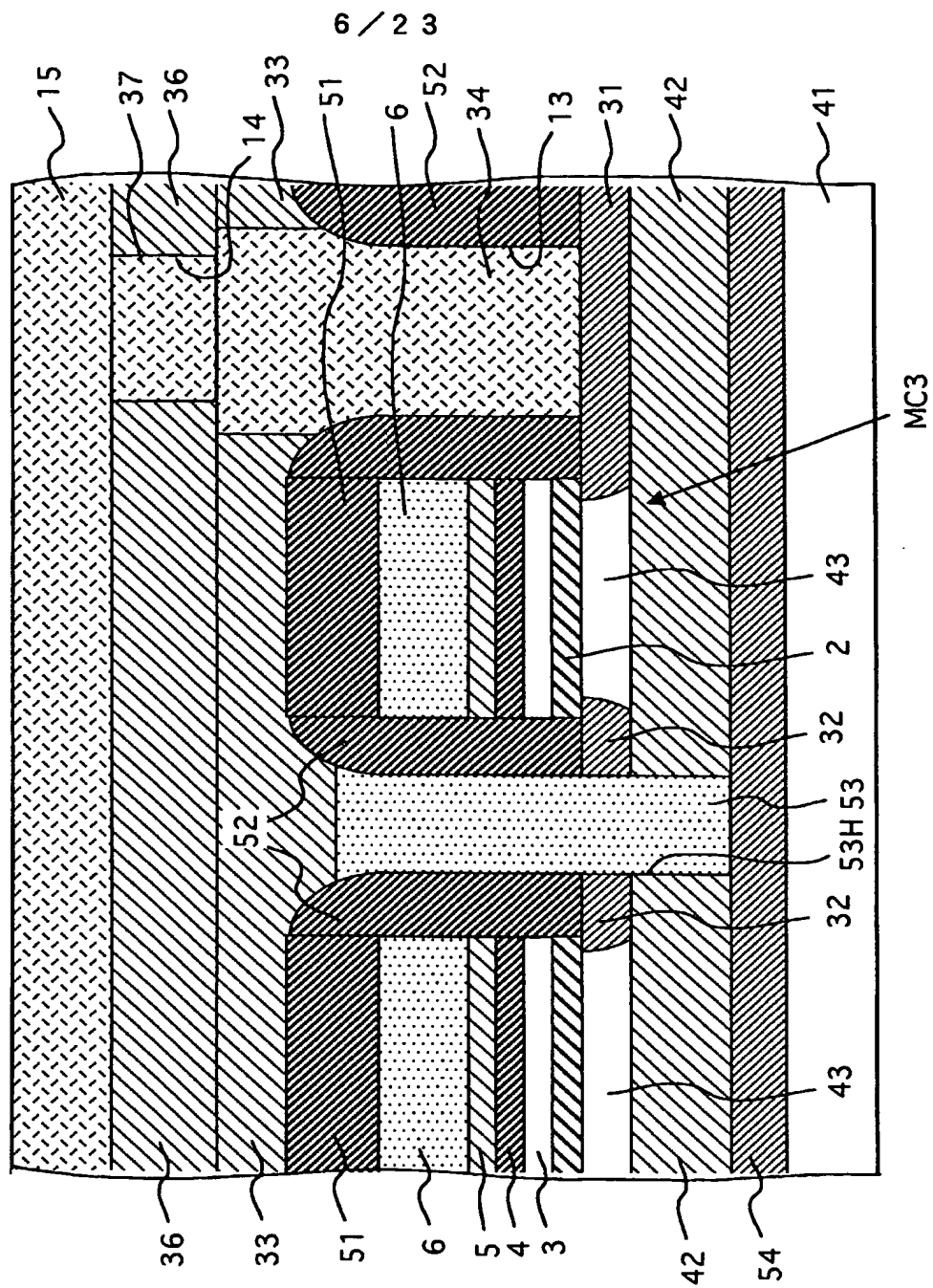
第 4 図





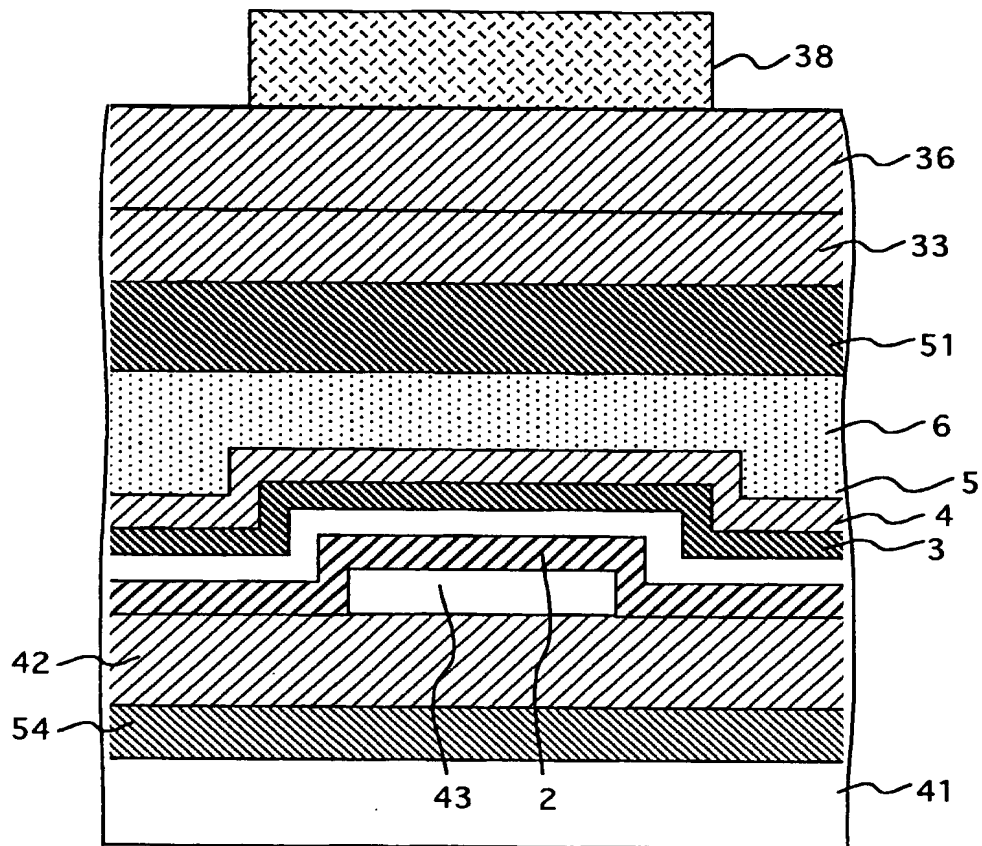


第7図



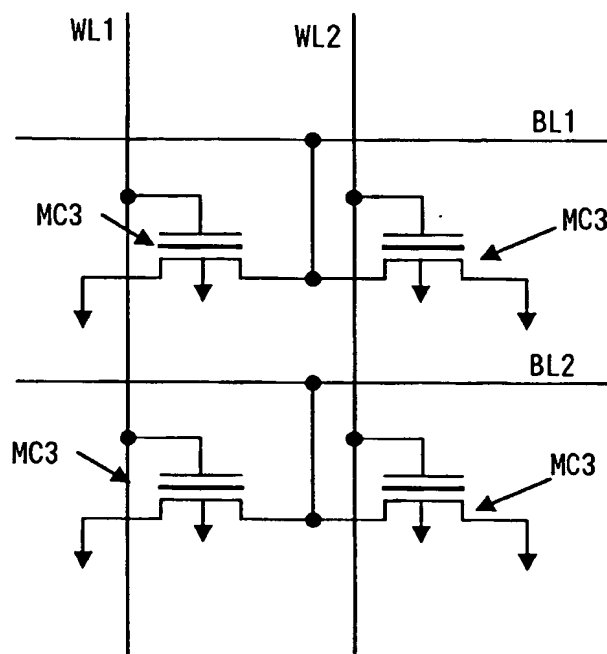
7 / 2 3

第 8 図

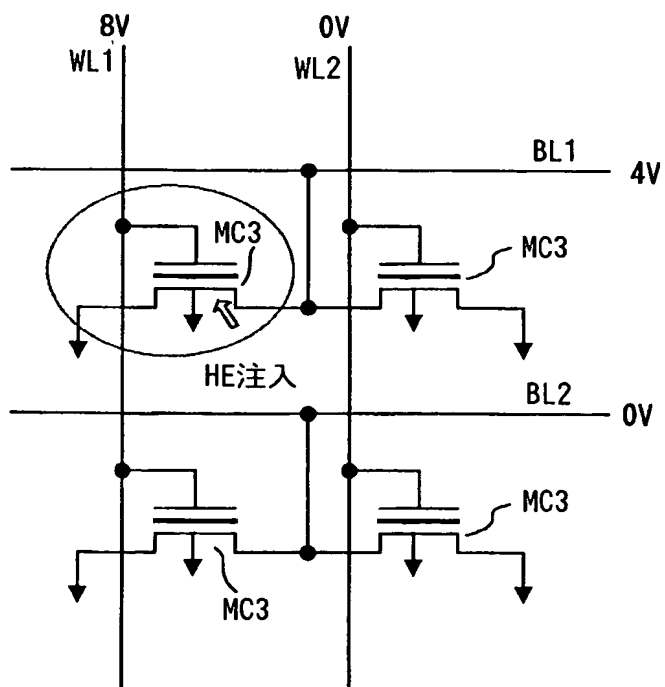


8 / 2 3

第 9 図

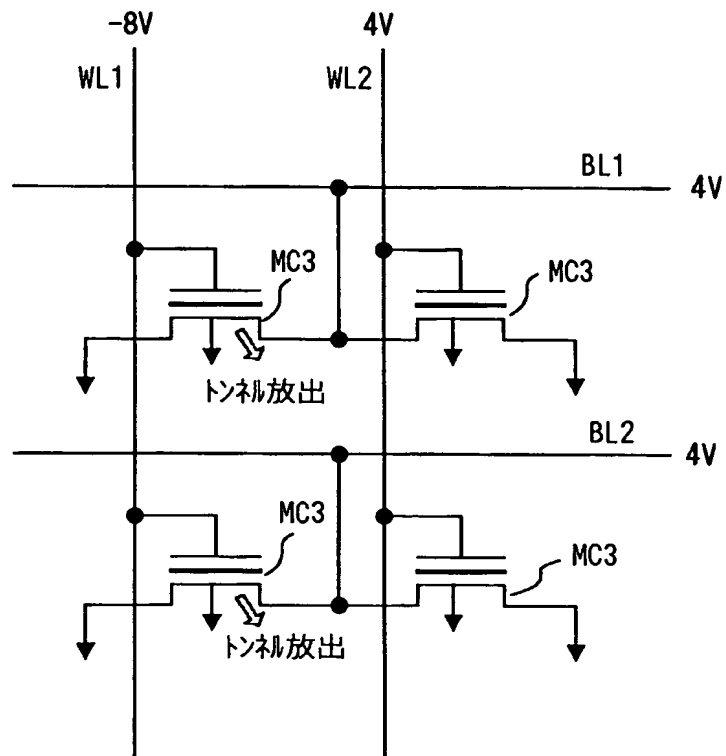


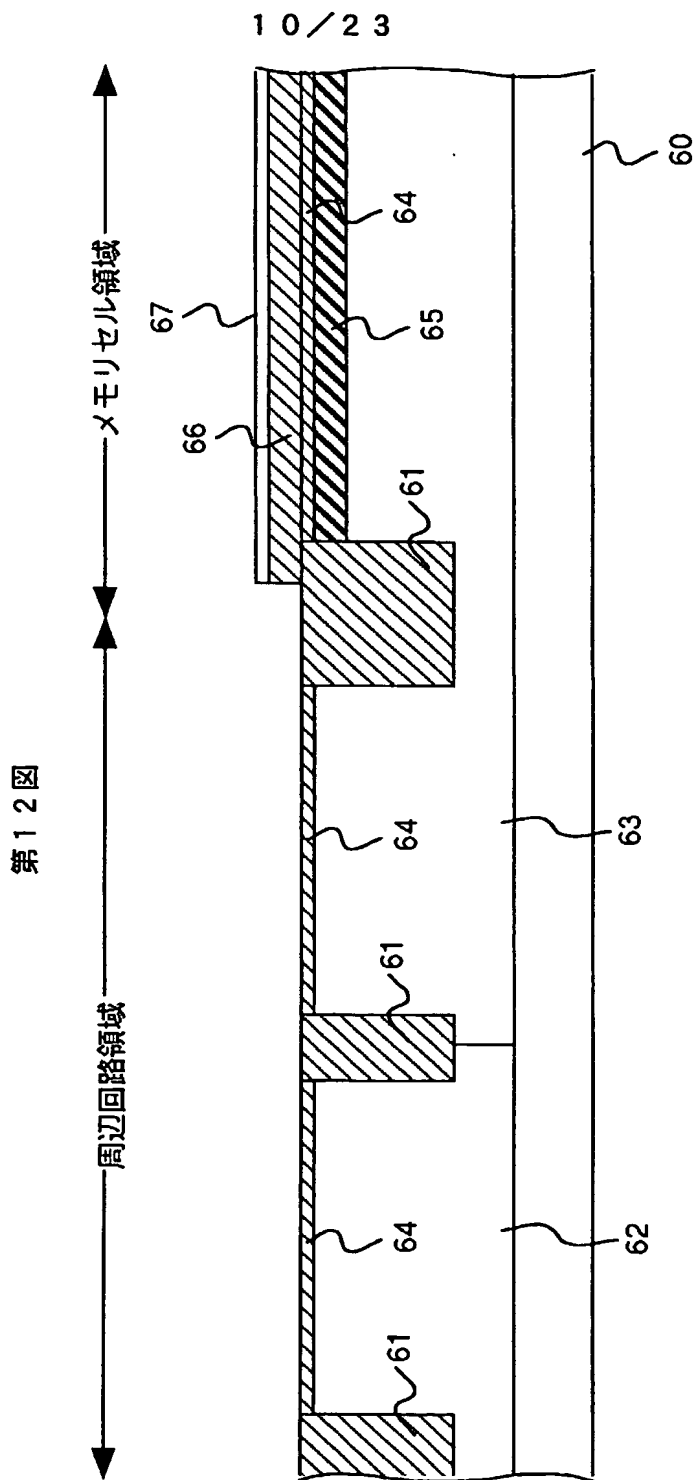
第 10 図

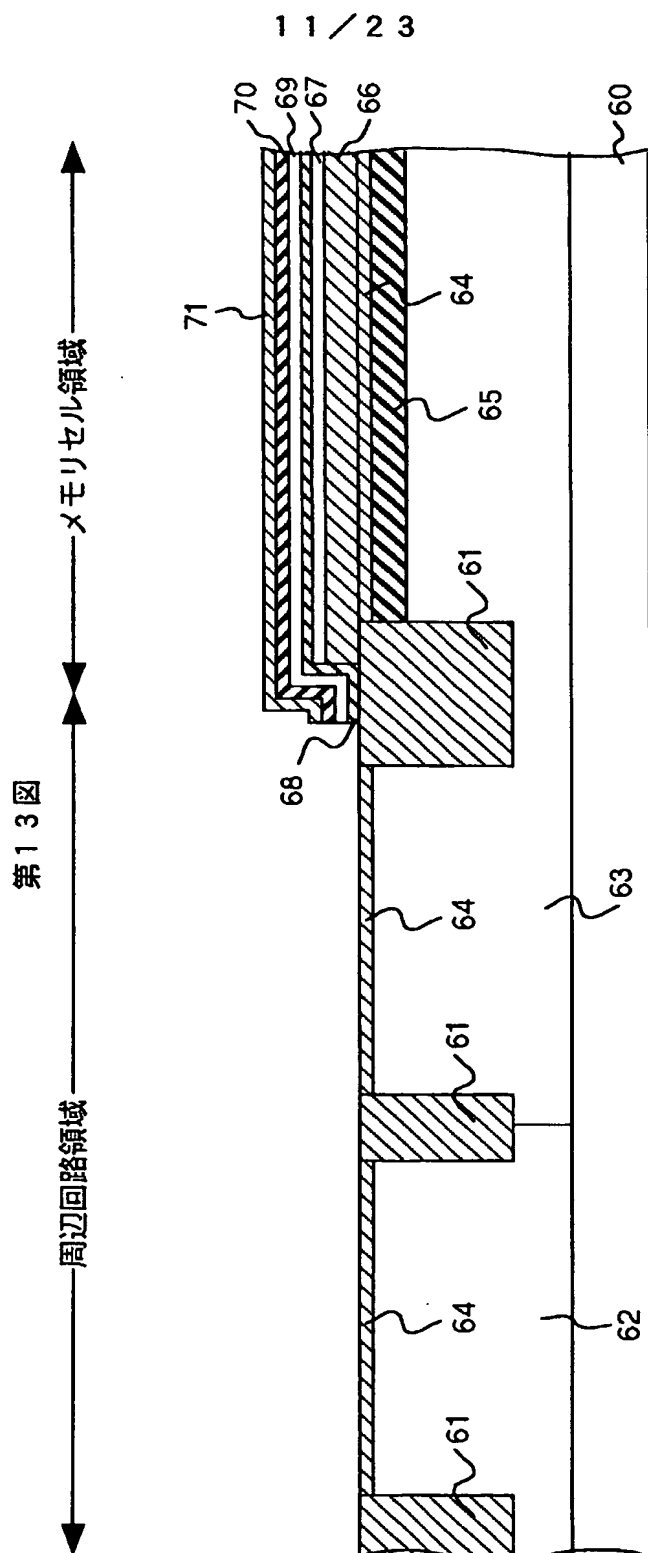


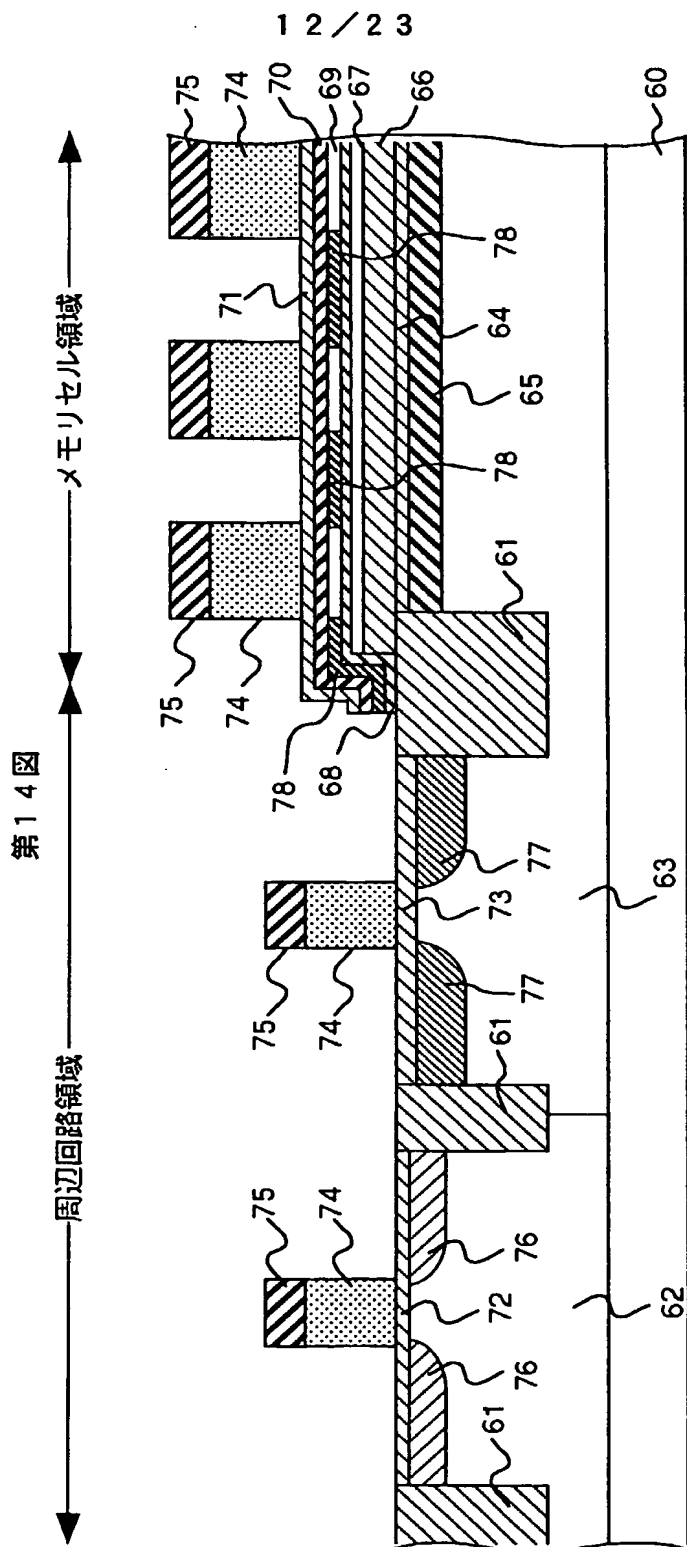
9 / 2 3

第 1 1 図

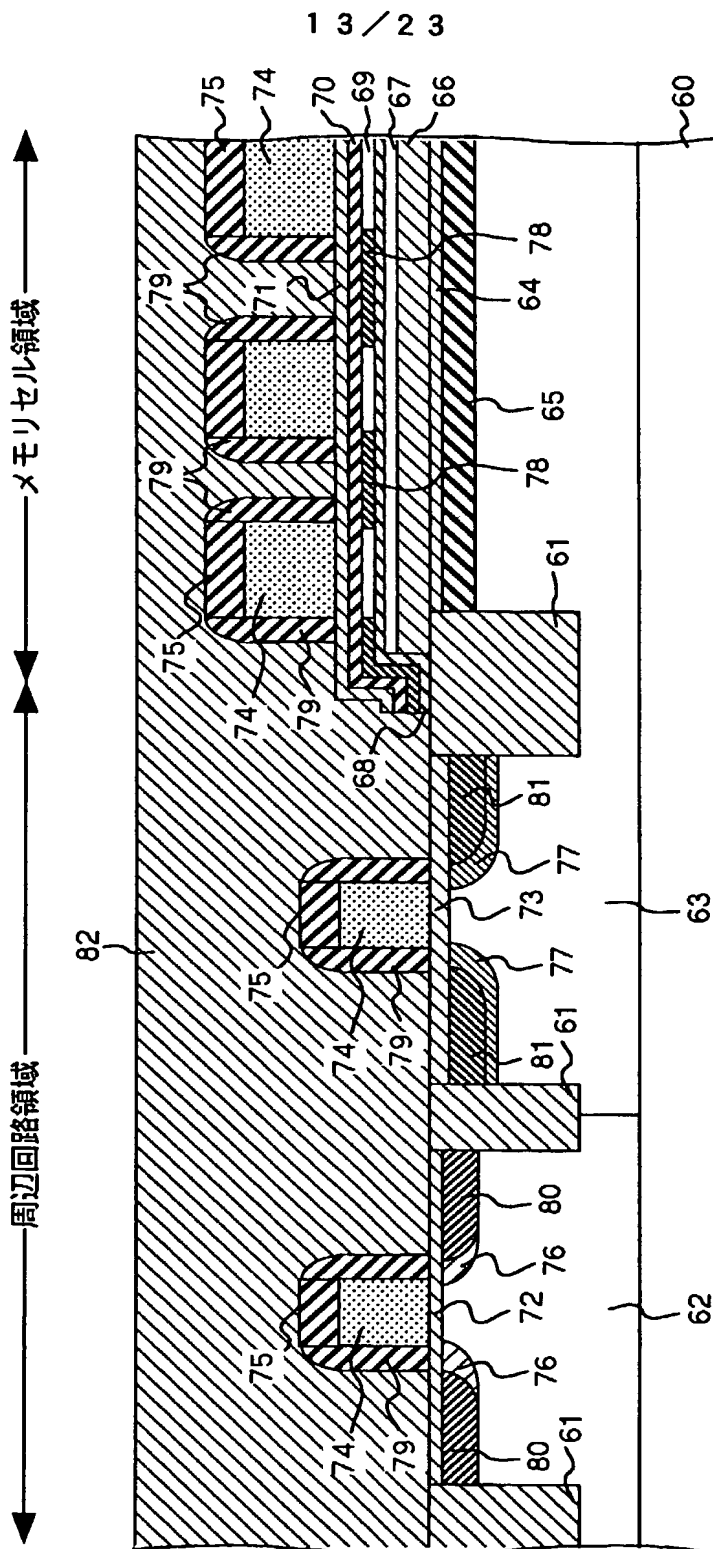




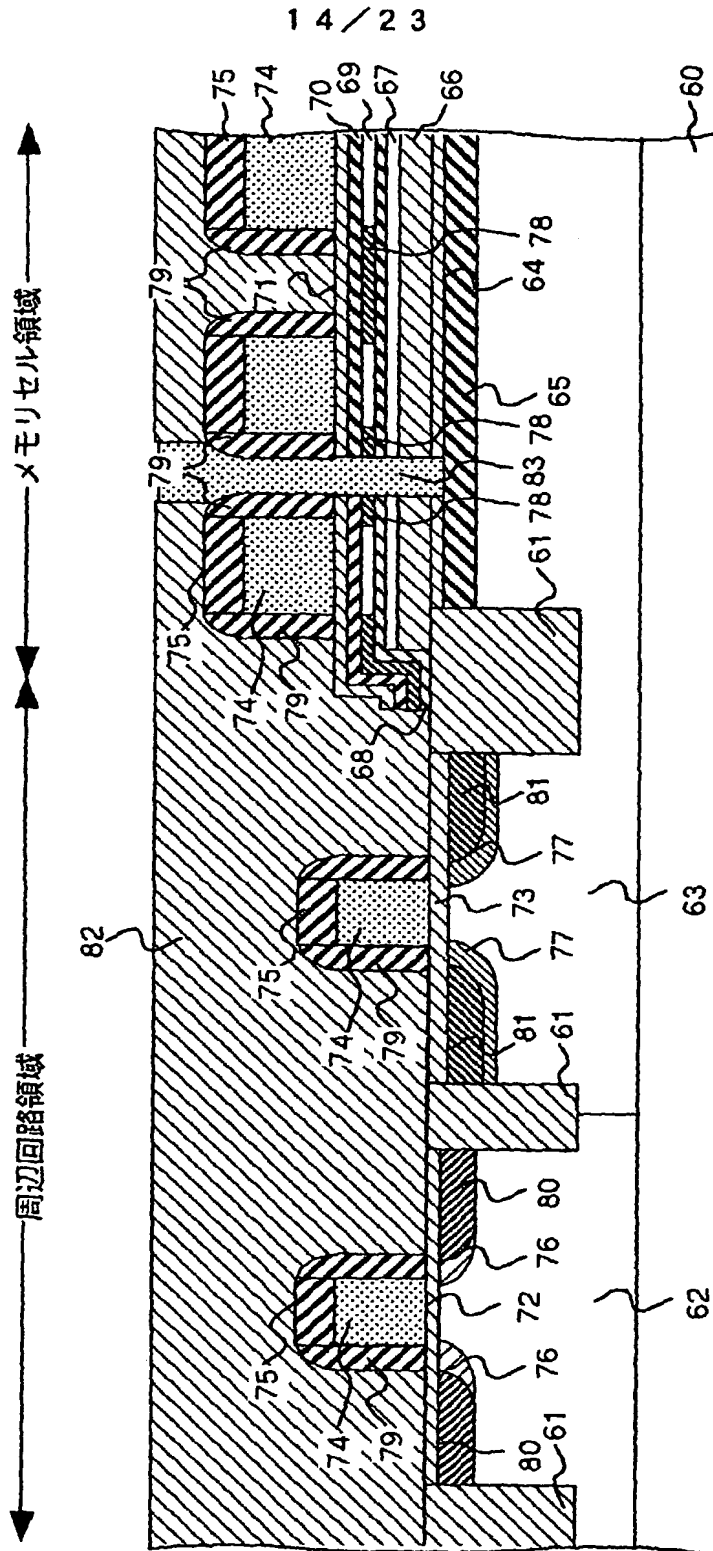




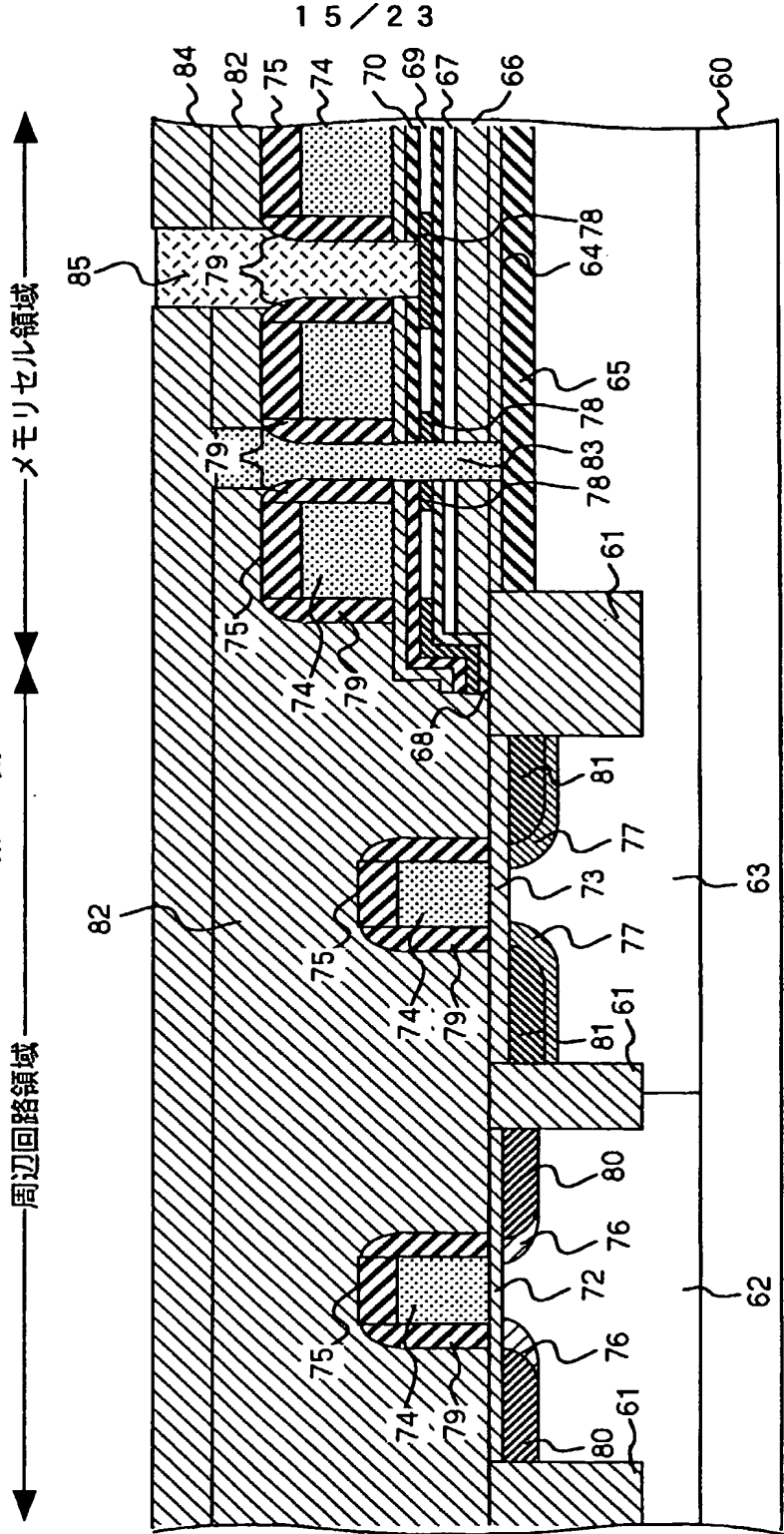
第15図

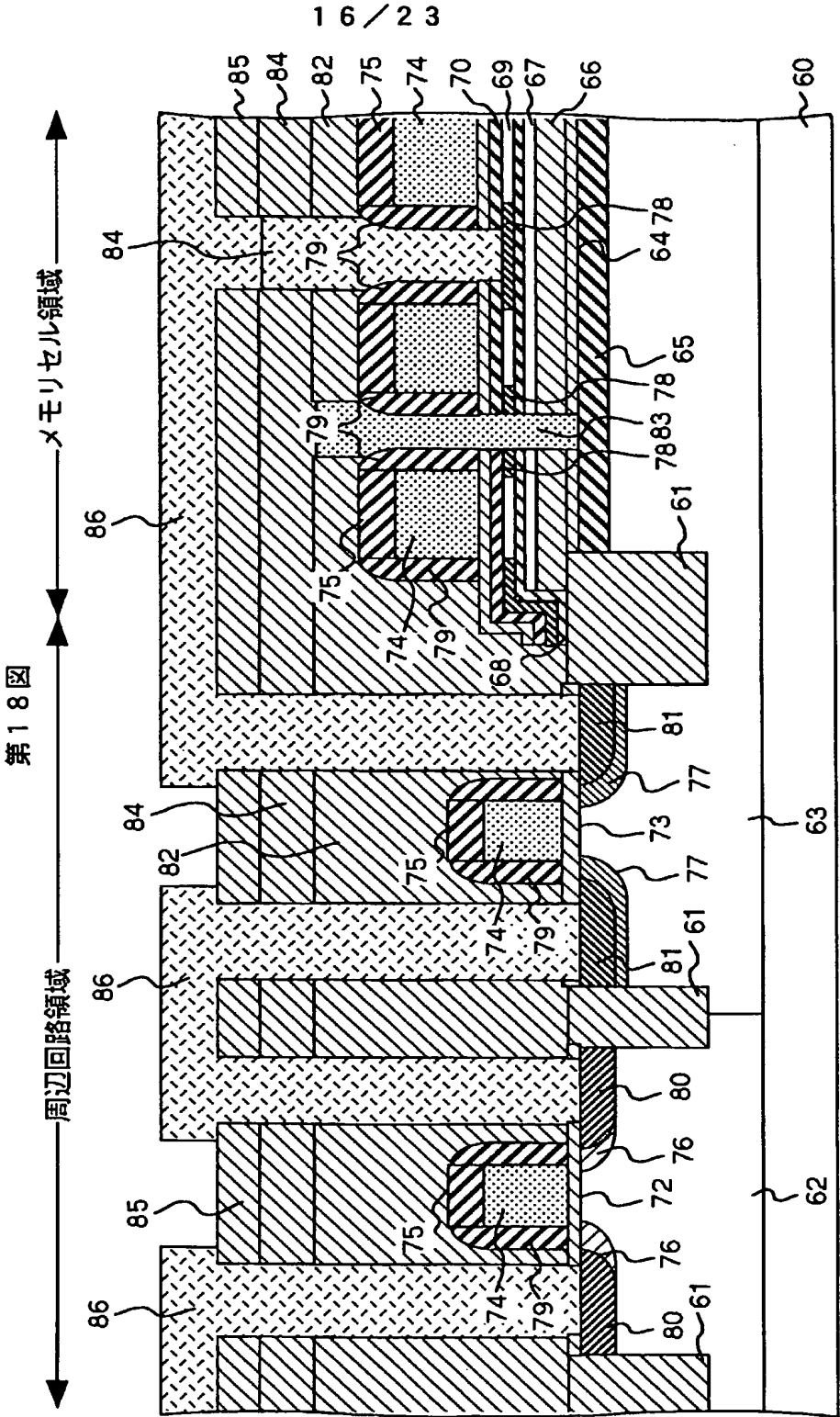


第16図



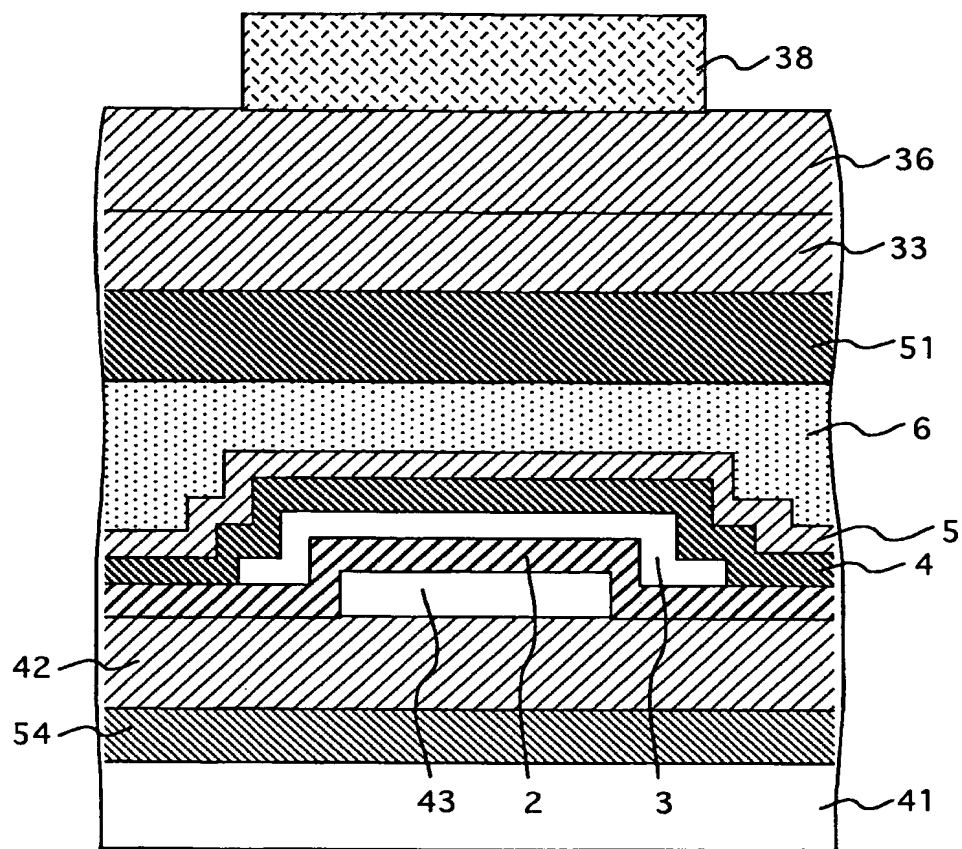
第17図



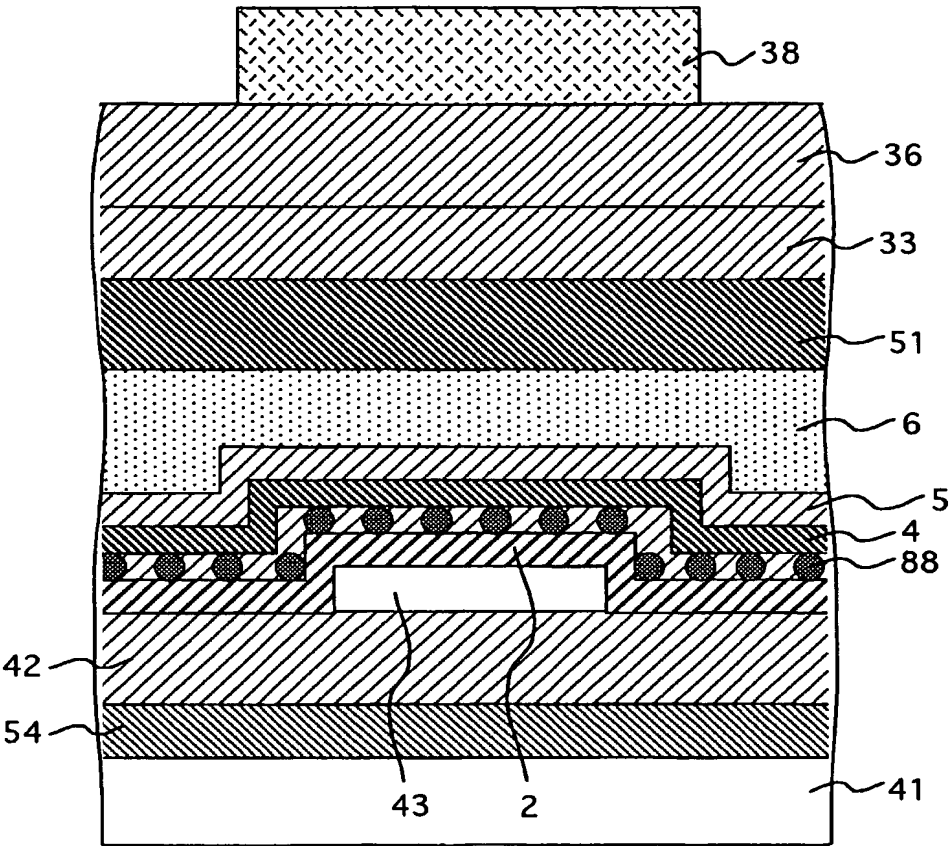


17/23

第19図

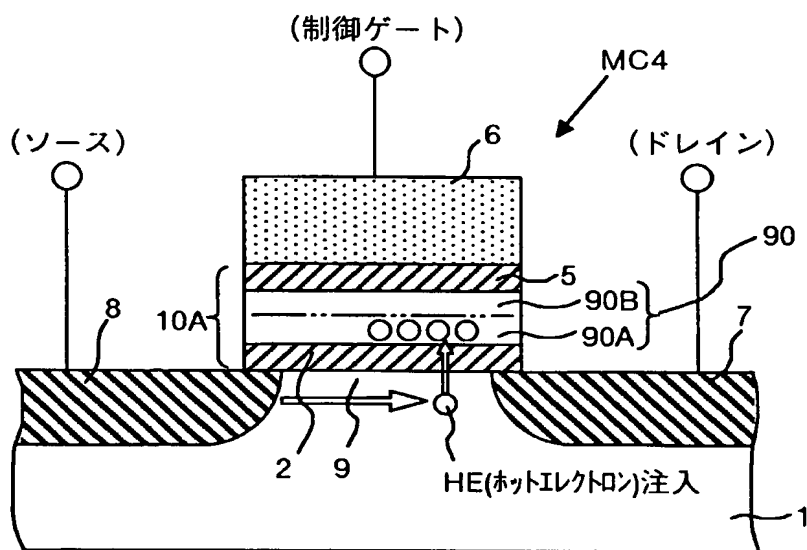


18 / 23
第 20 図



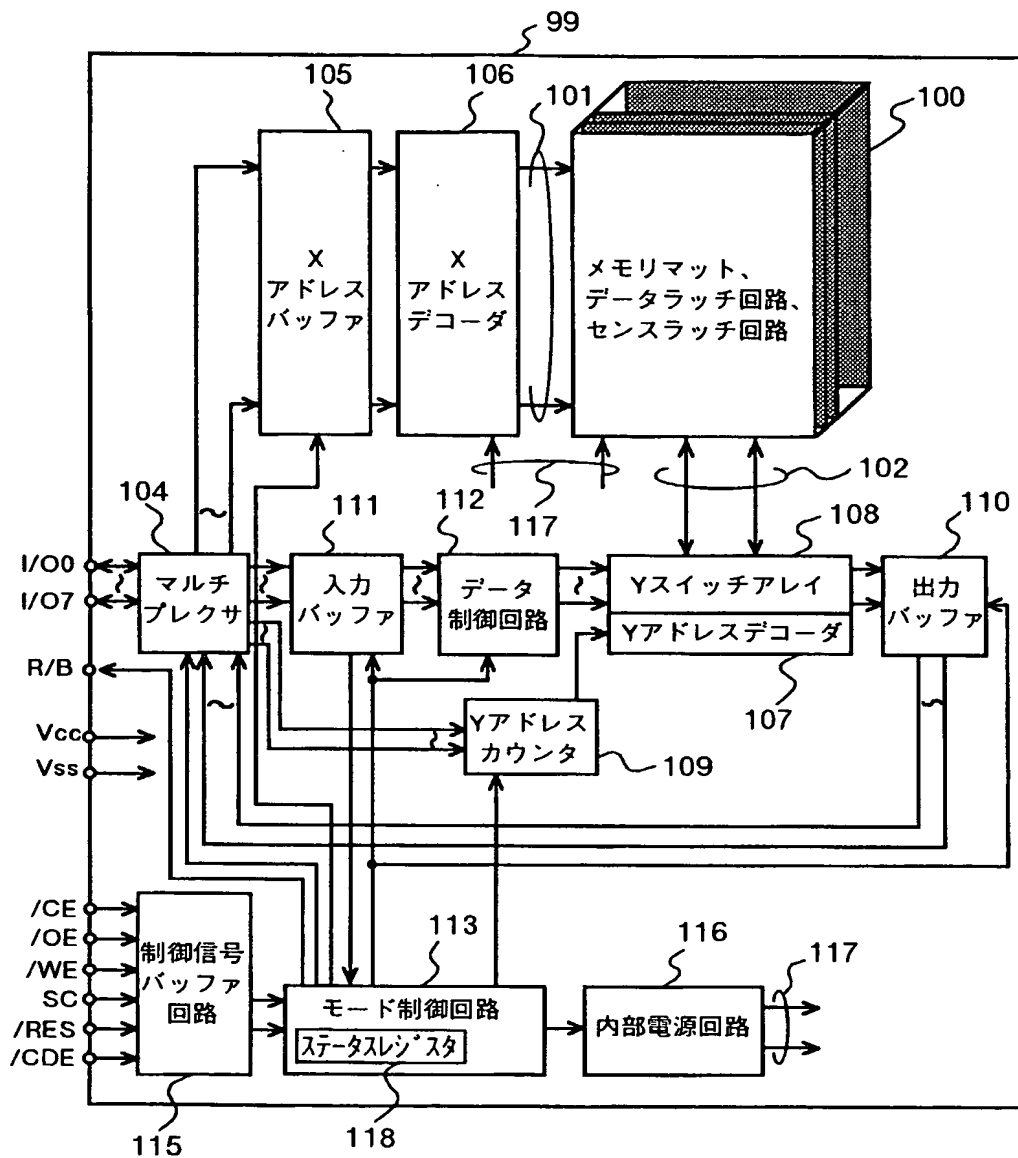
19/23

第21図



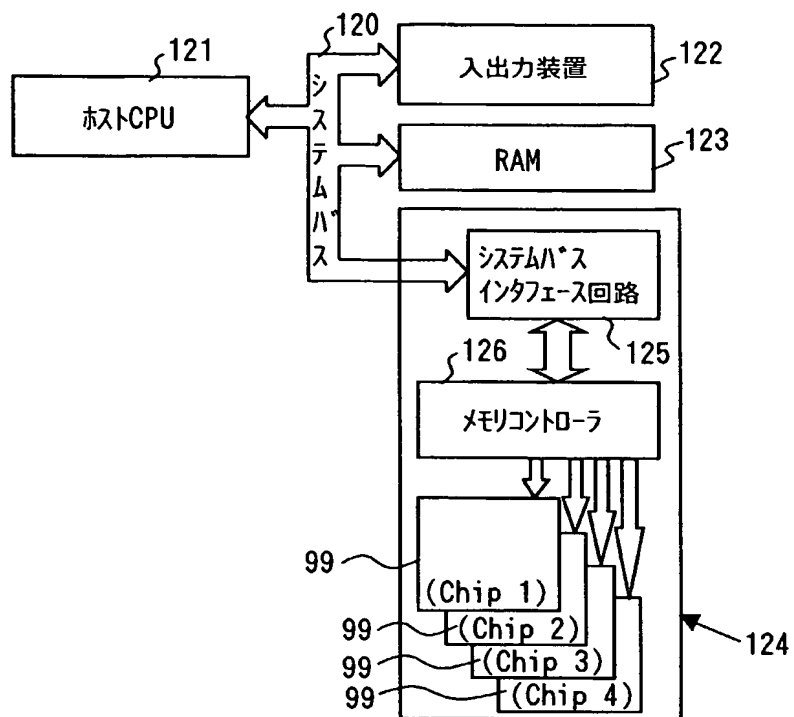
20 / 23

第22図



21 / 23

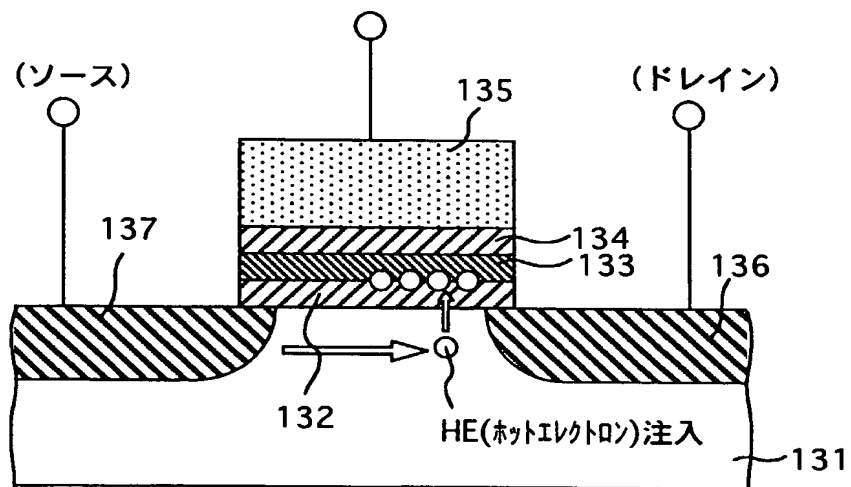
第23図



22 / 23

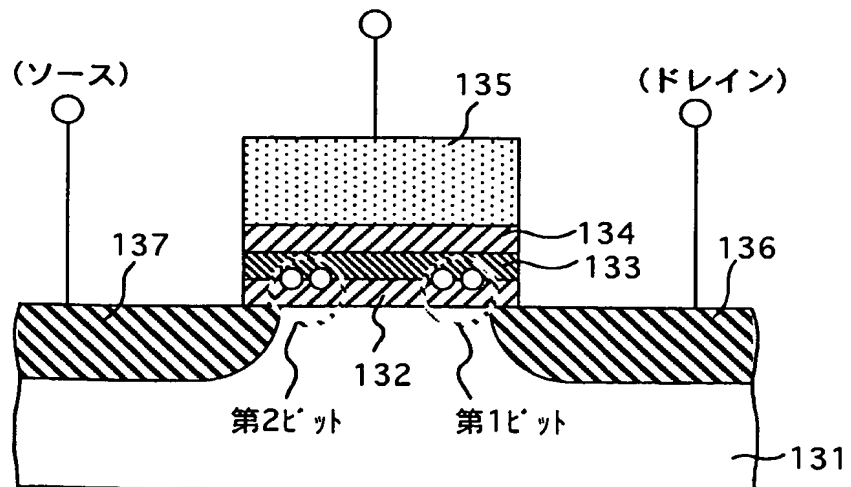
第24図

(制御ゲート)



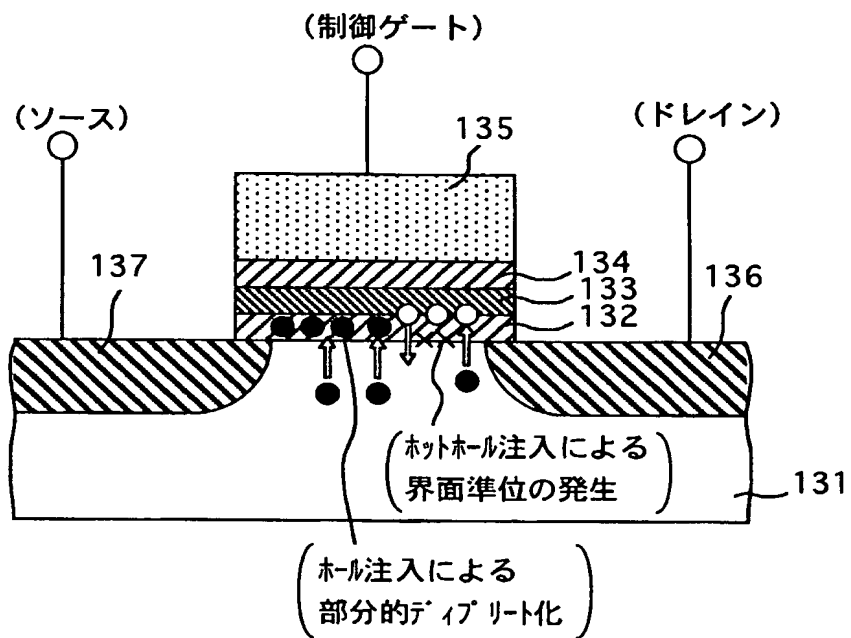
第25図

(制御ゲート)



23 / 23

第26図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/06710

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/8247, H01L29/788, H01L29/792, H01L27/115, G11C16/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/8247, H01L29/788, H01L29/792, H01L27/115, G11C16/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 1058298 A (Mitsubishi Denki Kabushiki Kaisha), 06 December, 2000 (06.12.00), Full text; Figs. 1 to 4	1, 2, 4, 6, 7, 9, 10, 13, 23
A	Full text; Figs. 1 to 4 & JP 2000-349175 A Full text; Figs. 1 to 4 & US 2002/0090782 A1 & KR 2001014955 A	3, 5, 8, 11, 12, 14, 15, 21
Y	JP 9-205155 A (Sony Corp.), 05 August, 1997 (05.08.97), Full text; Figs. 1 to 5 (Family: none)	1, 2, 4, 6, 7, 9, 10, 13, 23
A	Full text; Figs. 1 to 5 (Family: none)	3, 5, 8, 11, 12, 14, 15, 21

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
03 October, 2002 (03.10.02)

Date of mailing of the international search report
22 October, 2002 (22.10.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/06710

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6278635 B1 (NEC Corp.), 21 August, 2001 (21.08.01), Column 1, lines 27 to 43	1, 2, 4, 6, 7, 9, 10, 13, 23
A	Column 1, lines 27 to 43 & JP 2001-167587 A Par. Nos. [0003], [0004] & KR 2001070261 A	3, 5, 8, 11, 12, 14, 15, 21
Y	JP 2000-30471 A (Toshiba Micro-Electronics Corp., Toshiba Corp.), 28 January, 2000 (28.01.00), Par. Nos. [0010], [0011]; Figs. 2 to 3 (Family: none)	20, 22, 25
Y	JP 53-57771 A (Sony Corp.), 25 May, 1978 (25.05.78), Full text; Fig. 2 (Family: none)	20, 22, 25
Y	JP 49-13118 B1 (NEC Corp.), 29 March, 1974 (29.03.74), Full text; drawings (Family: none)	20, 22, 25
X	US 5619051 A (NEC Corp.), 08 April, 1997 (08.04.97), Full text; Fig. 6	24
A	Full text; Fig. 6 & JP 8-17945 A Full text; Fig. 5 & KR 172012 B1	5
A	JP 2000-49241 A (Matsushita Electronics Corp.), 18 February, 2000 (18.02.00), Full text; Figs. 1 to 4 (Family: none)	1-15, 21, 23, 24
A	JP 48-86485 A (Shunpei YAMAZAKI), 15 November, 1973 (15.11.73), Full text; Figs. 1 to 3 (Family: none)	1-15, 21, 23, 24
P, A	JP 2002-184873 A (Sony Corp.), 28 June, 2002 (28.06.00), Full text; Figs. 8, 11 & WO 02/29902 A1	1-15, 21, 23, 24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/06710

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☒ Claims Nos.: 16-19
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
Claims 16-19 that are dependent claims of claim 9 state that "the semiconductor region is formed over a third insulation film overlying a semiconductor substrate", and claim 9 states "a third insulation film". Therefore, the relation between "a third insulation (continued to extra sheet)
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/06710

Continuation of Box No. I-2 of continuation of first sheet (1)

film" in claim 9 and "a third insulation film" in claims 16-19 is unclear.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L21/8247, H01L29/788, H01L29/792, H01L27/115, G11C16/04		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L21/8247, H01L29/788, H01L29/792, H01L27/115, G11C16/04		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2002年 日本国登録実用新案公報 1994-2002年 日本国実用新案登録公報 1996-2002年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	EP 1058298 A (MITSUBISHI DENKI K. K.) 2000. 12. 06 全文, 図1-4	1, 2, 4, 6, 7, 9, 10, 13, 23
A	全文, 図1-4 & JP 2000-349175 A 全文, 図1-4 & US 2002/0090782 A1 & KR 2001014955 A	3, 5, 8, 11, 12, 14, 15, 21
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	03. 10. 02	国際調査報告の発送日 22.10.02
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 松嶋 秀忠	4M 9836
電話番号 03-3581-1101 内線 3460		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 9-205155 A(ソニー株式会社) 1997. 08. 05 全文, 図1-5(ファミリーなし)	1, 2, 4, 6, 7, 9, 10, 13, 23
A	全文, 図1-5(ファミリーなし)	3, 5, 8, 11, 12, 14, 15, 21
Y	US 6278635 B1(NEC CORPORATION) 2001. 08. 21 第1欄27行-43行	1, 2, 4, 6, 7, 9, 10, 13, 23
A	第1欄27行-43行 & JP 2001-167587 A 【0003】 , 【0004】 & KR 2001070261 A	3, 5, 8, 11, 12, 14, 15, 21
Y	JP 2000-30471 A(東芝マイクロエレクトロニクス株式会社、株式会 社東芝) 2000. 01. 28 【0010】 , 【0011】 , 図2-3(ファミリーなし)	20, 22, 25
Y	JP 53-57771 A(ソニー株式会社) 1978. 05. 25 全文, 第2図(ファミリーなし)	20, 22, 25
Y	JP 49-13118 B1(日本電気株式会社) 1974. 03. 29 全文, 図(ファミリーなし)	20, 22, 25
X	US 5619051 A(NEC CORPORATION) 1997. 04. 08 全文, 図6	24
A	全文, 図6 & JP 8-17945 A 全文, 図5 & KR 172012 B1	5
A	JP 2000-49241 A(松下電子工業株式会社) 2000. 02. 18 全文, 図1-4(ファミリーなし)	1-15, 21, 23, 24
A	JP 48-86485 A(山崎舜平) 1973. 11. 15 全文, 第1図-第3図(ファミリーなし)	1-15, 21, 23, 24
PA	JP 2002-184873 A(ソニー株式会社) 2002. 06. 28 全文, 図8, 図11 & WO 02/29902 A1	1-15, 21, 23, 24

第I欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☒ 請求の範囲 16-19 は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
請求の範囲9の従属請求の範囲である請求の範囲16-19には、「前記半導体領域は、半導体基板上に設けられた第3絶縁膜上に形成されること」との記載がなされているが、請求の範囲9には「第3絶縁膜」が記載されているため、請求の範囲9における「第3絶縁膜」と請求の範囲16-19における「第3絶縁膜」の関係が良くわからない。
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第II欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。